



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020050049381 A

(43) Date of publication of application: 25.05.2005

(21) Application number: 1020040094887

(71) Applicant: TDK CORPORATION

(22) Date of filing: 19.11.2004

(72) Inventor: KATAI KAZUO

(30) Priority: ..

MIYAKI YOUSUKE

TAKAHASHI TETSUYA

(51) Int. Cl

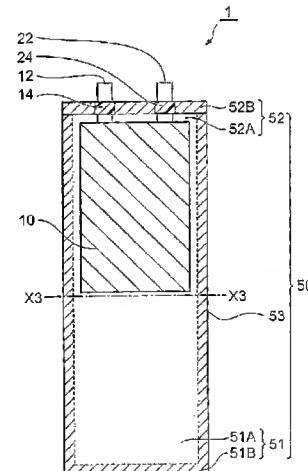
H01G 9/00

H01M 10/04

## (54) METHOD FOR MANUFACTURING ELECTROCHEMICAL DEVICE, AND THE ELECTROCHEMICAL DEVICE WITH PROPER CHARGING/DISCHARGING CHARACTERISTICS

## (57) Abstract:

PURPOSE: A method for manufacturing an electrochemical device, and the electrochemical device are provided to reduce internal resistance by maintaining proper charging/discharging characteristics even when an electrode and a separator are integrated with each other. CONSTITUTION: An electric double layer capacitor(1) includes a planar anode(10), a planar cathode, an electrolyte solution, a planar separator, and a case(50). The cathode and anode(10) face each other. The separator is adjacently placed between the anode(10) and cathode. The electrolyte solution is impregnated in either one of the anode(10), the cathode and the separator. One end of an anode lead(12) is electrically connected to the anode(10) and the other end of the anode lead(12) projects to the outside of the case(50). One end of a cathode lead(22) is electrically connected to the cathode and the other end of the cathode lead(22) projects to the outside of the case(50). The case(50) has a first film(51) and a second film(52) facing each other. Each of ends of the anode lead(12) is connected to the anode(10), and the cathode lead(22) is arranged to project to outside from the sealed portions resulting from the joining of the edge part(51B) of the first film(51) and the edge part(52B) of the second film(52).



copyright KIPO 2006

Legal Status

Date of request for an examination (20051110)  
Notification date of refusal decision ( )  
Final disposal of an application (registration)  
Date of final disposal of an application (20070424)  
Patent registration number (1007400210000)  
Date of registration (20070710)  
Number of opposition against the grant of a patent ( )  
Date of opposition against the grant of a patent ( )  
Number of trial against decision to refuse ( )  
Date of requesting trial against decision to refuse ( )  
Date of extinction of right ( )

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>7</sup>  
H01G 9/00  
H01M 10/04

(11) 공개번호 10-2005-0049381  
(43) 공개일자 2005년05월25일

(21) 출원번호 10-2004-0094887  
(22) 출원일자 2004년11월19일

(30) 우신권주장 JP-P-2003-00391180 2003년11월20일 일본(JP)

(71) 출원인 티니케이가부시기기이샤  
일본 도쿄도 추오구 니혼바시 1쵸메 13반 1고

(72) 발명자 다카하시 테츠야  
일본 도쿄도 추오구 니혼바시 1-13-1 티니케이가부시기기이샤 (내)  
가타이가즈오  
일본 도쿄도 추오구 니혼바시 1-13-1 티니케이가부시기기이샤 (내)  
미야키요우스케  
일본 도쿄도 추오구 니혼바시 1-13-1 티니케이가부시기기이샤 (내)

(74) 대리인 정상구  
신현분  
이범래

설사정구 : 없음

**(54) 전기화학 디바이스의 제조방법 및 전기화학 디바이스**

**요약**

제 1 선극 및 제 2 선극으로서, 접선체와 상기 접선체와 세퍼레이터 사이에 배치되는 선자선도성을 갖고, 또 한, 다공체층 중에, 전자전도성을 갖는 다공체 입자와, 다공체 입자끼리를 결착 가능하고 세퍼레이터의 연화점  $T_B$ 보다도 낮은 연화점  $T_B$ 을 갖는 열가소성 수지를 적어도 포함하는 구성을 갖는 전극을 사용한다. 수학식  $1:T_B \leq T_1 < T_S$ 로 제시되는 조건을 만족하는 열처리 온도( $T_1$ )로 적층체를 열처리함으로써, 적층체에 있어서의 제 1 진극의 접진체, 제 1 진극의 다공체층, 세퍼레이터, 제 2 진극의 다공체층, 및, 제 2 진극의 접전체를 일체화시킨 상태로 하는 열처리 공정을 포함한다.

대한민국

도 2

색인어

전기화학 디바이스, 접전체, 다공체층, 다공체 입자, 열가소성 수지

명세서

도면의 간단한 설명

도 1은 본 발명의 제조방법의 적합한 일 실시형태에 의해 제조되는 전기화학 디바이스의 일 예(전기이중층 커패시터)를 도시하는 정면도.

도 2는 도 1에 도시하는 전기화학 디바이스(전기이중층 커패시터)의 내부를 양극(10)의 표면의 법선 방향에 시 본 경우의 진개도.

도 3은 도 1에 도시하는 전기화학 디바이스(전기이중층 커패시터)를 도 1의 X1-X1선을 따라서 절단한 경우의 모식 단면도.

도 4는 도 1에 도시하는 전기화학 디바이스(전기이중층 커패시터)를 도 1의 X2-X2선을 따라서 절단한 경우의 주요부를 도시하는 모식 단면도.

도 5는 도 1에 도시하는 전기화학 디바이스(전기이중층 커패시터)를 도 1의 Y-Y선을 따라서 절단한 경우의 주요부를 도시하는 모식 단면도.

도 6은 도 1에 노시하는 전기화학 디바이스(전기이중층 커패시터)의 케이스의 구성 재료가 되는 필름의 기본 구성의 일 예를 도시하는 모식 단면도.

도 7은 도 1에 도시하는 전기화학 디바이스(전기이중층 커패시터)의 케이스의 구성 재료가 되는 필름의 기본 구성의 다른 일 예를 도시하는 모식 단면도.

도 8은 도 1에 도시하는 전기화학 디바이스(전기이중층 커패시터)의 양극의 기본 구성의 일 예를 도시하는 모식 단면도.

도 9는 도 1에 도시하는 전기화학 디바이스(전기이중층 커패시터)의 음극의 기본 구성의 일 예를 도시하는 모식 단면도.

도 10은 전극 형성용 도포액을 조제하는 공정을 설명하기 위한 설명도.

도 11은 전극 형성용 도포액을 사용한 전극시트의 형성 공정을 설명하기 위한 설명도.

도 12는 전극 형성용 도포액을 사용한 전극시트의 형성 공정을 설명하기 위한 설명도.

도 13은 전극시트로부터 전극을 형성하는 공정을 설명하기 위한 설명도.

도 14는 본 발명에 있어서의 열처리 공정의 순서의 일 예를 도시하는 설명도.

도 15는 열융착 공정에 의해 양극용 리드 도체(12)의 주위를 제 1 필름(5) 및 제 2 필름(52)에 열융착시키는 경우의 순서를 설명하기 위한 설명도.

도 16은 케이스 내에 전해질 용액을 충전할 때의 순서의 일 예를 도시하는 설명도.

도 17은 케이스의 밀봉부를 구부린 경우의 전기화학 니바이스를 도시하는 사시도.

도 18은 실시예 1의 전기화학 커패시터에 사용된 전기화학 디바이스 소체의 부분 단면의 SEM 사진을 도시하는 도면.

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명의 속하는 기술 및 그 분야의 종래기술

본 발명은 전기화학 디바이스의 제조방법 및 이 제조방법에 의해 얻어지는 전기화학 디바이스에 관한 것이다. 보다 상세하게는 본 발명은 전기이중층 커패시터를 비롯한 전기화학 커패시터, 및 리튬이온 2차전지를 비롯한 2차전지를 포함하는 전기화학 디바이스의 제조방법 및, 이러한 제조방법에 의해 얻어지는 전기화학 디바이스에 관한 것이다.

전기이중층 커패시터를 비롯한 전기화학 커패시터, 및, 리튬이온 2차전지를 비롯한 비수 전해질 2차전지는 용이하게 소형화, 경량화가 가능한 전기화학 디바이스이다. 이 때문에, 예를 들면, 휴대기기(소형 전자기기) 등의 전원 혹은 배터리용 전원, 전기자동차 또는 하이브리드차용의 보조전원으로서 기대되고 있고, 그 성능 향상을 위한 여러 가지의 검토가 이루어지고 있다.

상기 성능 향상을 도모한 전기화학 디바이스로서는 예를 들면, 분극성 전극, 세퍼레이터 및 접선체를 적층한 전기이중층 커패시터에 있어서, 접전체와 분극성 전극 사이에 가열에 의해서 유동성을 발현하는 물질(폴리에틸렌, 폴리프로필렌 등)을 존재시키며 가압하에서 가열한 후에 냉각하여 접착한 전기이중층 커패시터가 제안되어 있다(일본 공개특허공보2000-252175호를 참조). 또한, 이 전기이중층 커패시터로서는 세퍼레이터와 분극성 전극의 사이에 가열에 의해서 유동성을 발현하는 물질을 존재시키는 구성을 제안되어 있다. 이 전기이중층 커패시터는 상기 구성으로 함으로써, 접전체와 분극성 전극 사이의 도전 접속을 높이는 동시에, 셀의 조립을 용이하게 하는 것을 의도한 것이다.

또한, 상기 성능 향상을 도모한 전기화학 디바이스의 다른 예로서는 예를 들면, 세퍼레이터(separator)가 한 쌍의 분극성 전극으로 끼워지고, 또한 분극성 전극과 세퍼레이터가 접착되어 있는 접착제 구조를 갖는 전기이중층 콘텐서 및 그 제조방법이 제안되어 있다.

이 전기 이중층 콘덴서 및 그 제조방법은 세퍼레이터가 중량비 10% 이상의 폴리올레핀계 수지를 함유한 부직포 또는 다공질 필름으로 이루어지고, 또한, 폴리올레핀계 수지의 연화점 온도 이상의 온도 환경하에 시, 한 쌍의 분극성 전극에 압력을 가함으로써, 분극성 전극과 세퍼레이터를 접착시킨 것이다(예를 들면, 일본 공개특허공보2001-250742호의 청구항 1 내지 3을 참조).

이 전기 이중층 콘덴서(전기이중층 커패시터)는 상기 구성으로 함으로써, 분극성 전극과 세퍼레이터를 접착하여 일체화시키고, 이로써 셀 양단으로부터의 가압력의 변화에 의한 내부저항의 변화를 억제하고, 또한 분극성 전극과 세퍼레이터의 박리를 억제하여, 뛰어난 장기 신뢰성을 실현하는 것을 의도한 것이다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 상기 일본 공개특허공보2000-252175호 및 일본 공개특허공보2001-250742호에 기재된 전기화학 디바이스 및 그 제조방법이라도, 전기화학 디바이스 중의 전기저항을 충분하게 저감시킬 수 없고, 아직 충분한 충방전 특성을 얻을 수 없다는 문제가 있었다.

즉, 일본 공개특허공보2000-252175호에 기재된 전기이중층 커패시터에서는 집전체와 분극성 전극 사이에, 가열에 의해서 유동성을 발현하는 물질을 존재시키고 있기 때문에, 집전체와 분극성 전극 사이의 전기적인 접촉 저항을 충분하게 저감시킬 수 없다는 문제는 있었다. 또한, 세퍼레이터와 분극성 전극 사이에 가열에 의해서 유동성을 발현하는 물질을 존재시키는 구조으로 하는 경우에는 이 가열에 의해서 유동성을 발현하는 물질이, 가열에 의해 유동성을 발현한 후에 세퍼레이터 중의 미세구멍(특히 세퍼레이터의 표면 부근의 미세구멍) 속으로 흘러들어오와지, 이 미세구멍을 막아버리는 문제가 있었다. 세퍼레이터 중의 미세구멍이 막히면, 세퍼레이터 중에 함침되어 있는 전해질(전해질 용액 등) 중의 이온의 이동(이온 전도)이 저해되어, 충분한 충방전 특성을 얻을 수 있게 된다.

또한, 일본 공개특허공보2001-250742호에 기재된 전기 이중층 콘덴서(전기 이중층 커패시터) 및 그 제조방법에서는 한 쌍의 분극성 전극과, 이 한 쌍의 분극성 전극 사이에 배치한 세퍼레이터를 일체화시키기 위해서 가열 및 가압의 처리를 할 때, 세퍼레이터의 구성 재료가 되는 폴리올레핀계 수지의 연화점 온도 이상의 온도 환경하에 처리를 하고 있다. 이 때문에, 분극성 전극과 세퍼레이터를 일체화시킬 수 있더라도, 세퍼레이터가 연화하였을 때에, 세퍼레이터 중의 미세구멍이 막혀, 전해질(전해질 용액 등) 중의 이온 전도 저항을 충분하게 저감시킬 수 없고, 충분한 충방전 특성을 얻을 수 없다는 문제가 있었다.

또한, 상술한 문제를 해결하기 위해서, 한 쌍의 분극성 전극과 세퍼레이터와의 적층체에 대하여 열처리를 하지 않는 방법도 있다. 그러나 이 경우, 제조 중 및 사용 중인 적층체의 취급성이 현저하게 저하하거나, 적층체가 일체화되어 있지 않기 때문에, 사용 중에 적층체 중의 분극성 전극과 세퍼레이터가 어긋나 벼려, 충방전 특성이 현저하게 저하되는 문제가 생기기 때문에, 이 방법은 현실적이지 않다. 특히, 이 문제는 복수의 적층체를 적층하여 직렬 또는 병렬로 접속한 구조으로 하는 경우에 현저하게 발생하기 쉬워진다.

또, 상기 전기이중층 커패시터의 다른 종류의 전기화학 커패시터{의사(擬似) 용량 커패시터, 레녹스(redox) 커패시터 등}에 있어서도, 앞서 기술한 종래의 전기이중층 커패시터와 동일한 구조를 갖는 것에 대해서는 상술한 바와 같은 문제가 있었다.

또한, 전기이중층 커패시터의 한 쌍의 분극성 전극 대신에, 방진 시에 산화반응이 진행하는 양극 및 방진 시에 환원반응이 진행되는 음극, 양극 및 음극 사이에 배치된 세퍼레이터를 갖는 1차선지 또는 2차선지(특히, 리튬이온 2차선지)에 있어서도, 앞서 기술한 종래의 전기이중층 커패시터와 동일한 구조를 갖는 것에 대해서는 상술한 바와 같은 문제가 있었다.

본 발명은 상기 종래 기술이 갖는 과제를 감안하여 이루어진 것으로, 열처리에 의해 전극과 세퍼레이터를 밀착시켜 일체화시킨 경우라도, 충분한 충방전 특성을 얻을 수 있는 전기화학 디바이스를 용이하고 확실하게 형성할 수 있는 전기화학 디바이스의 제조방법을 제공하는 것을 목적으로 한다. 또한, 본 발명은 상기 본 발명의 전기화학 디바이스의 제조방법에 의해 얻어지는 전기화학 디바이스를 제공하는 것을 목적으로 한다.

#### 발명의 구성 및 쓰임

본 발명자들은 상기 목적을 달성하기 위해서 연구를 거듭한 결과, 전극의 다공체층 중에 함유시키는 결합제가 되는 열가소성 수지와 세퍼레이터의 구성 재료와의 조합을 서로의 연화점에 적안하여 결정하고, 또한, 열처리 공정에서의 열처리 온도를 상기 열가소성 수지의 연화점 및 세퍼레이터의 연화점에 적안하여 결정하는 것이, 상기 목적을 달성하는 데에 있어서 극히 유효한 것을 발견하여, 본 발명에 도달하였다.

즉, 본 발명은 서로 내향하는 제 1 전극 및 제 2 전극과, 제 1 전극과 제 2 전극 사이에 인접하여 배치되는 다공질의 세퍼레이터를 갖는 적층체를 갖고, 또한, 제 1 전극 및 제 2 전극으로서, 집전체와, 이 집전체와 세퍼레이터 사이에 배치되는 전자진도성의 다공체층을 갖는 전극을 구비하는 전기화학 디바이스의 제조방법으로서, 다공체층의 구성 재료로서, 전자진도성을 갖는 다공체 입사와, 다공체 입사끼리를 결착 가능하고 세퍼레이터의 연화점  $T_g$ 보다도 낮은 연화점  $T_B$ 을 갖는 열가소성 수지를 적어도 사용하고, 하기 수학식 1에서 제시되는 조건을 만족하는 열처리 온도( $T_1$ )에서 적층체를 열처리함으로써, 적층체에 있어서의, 제 1 전극의 집전체, 제 1 전극의 다공체층, 세퍼레이터, 제 2 전극의 다공체층, 및, 제 2 전극의 집전체를 일체화시킨 상태로 하는 열처리 공정을 포함하는 것을 특징으로 하는 전기화학 디바이스의 제조방법을 제공한다.

$$T_B \leq T_1 < T_S$$

위의 식에서,  $T_1$ ,  $T_B$  및  $T_S$ 의 단위는 모두 「℃」이다.

또한, 본 발명에 있어서, 「세퍼레이터의 연화점  $T_S$ 」이란 세퍼레이터가 한 종류의 구성 재료(예를 들면 합성 수지)로 형성되어 있는 경우에는 그 구성 재료의 연화점을 나타내고, 세퍼레이터가 2종류 이상의 구성 재료로 구성되어 있는 경우에는 보다 낮은 쪽의 연화점을 나타낸다.

또한, 본 발명에 있어서, 「열가소성 수지의 연화점  $T_B$ 」은 열가소성 수지가 한 종류의 구성 재료(예를 들면 합성 수지)로 형성되어 있는 경우에는 그 구성 재료의 연화점을 나타내고, 열가소성 수지가 2종류 이상의 구성 재료로 구성되어 있는 경우에는 보다 낮은 쪽의 연화점을 나타낸다.

또한, 본 명세서에 있어서는 이하, 서로 대향하는 제 1 전극 및 제 2 전극과, 제 1 전극과 제 2 전극 사이에 인접하여 배치되는 다공질의 세퍼레이터를 갖는 적층체 중, 본 발명에 있어서의 열처리 공정에서의 앞서 기술한 열처리를 거쳐서 얻어지는 적층체를 「전기화학 디바이스 소체」(제 1 전극의 접전체, 제 1 전극의 다공체층, 세퍼레이터, 제 2 전극의 다공체층, 및, 제 2 전극의 접전체가 일체화된 상태의 적층체)라고 하며, 열처리 공정을 실시하기 이전의 적층체와 구별한다.

또한, 「열처리 공정을 실시하기 이전의 적층체」에 포함되는 「제 1 전극의 다공체층」 및/또는 「제 2 전극의 다공체층」은 이들을, 상기 다공체층의 구성 재료를 포함하는 다공체층 형성용의 도공액(塗工液)을 조제하여, 상기 도공액을 접전체(제 1 전극의 접전체 또는 제 2 전극의 접전체) 또는 세퍼레이터상에 도포하고, 또한 접전체(제 1 전극의 접전체 또는 제 2 전극의 접전체) 또는 세퍼레이터상에 도포한 도공액으로 이루어지는 액막을 건조시키는 공정을 거쳐서 형성하는 경우에는 이 액막의 건조 후에 이루어지는 층이라도 좋다. 또한, 이 「열처리 공정을 실시하기 이전의 적층체」에 포함되는 「제 1 전극의 다공체층」 및/또는 「제 2 전극의 다공체층」은 소정의 열처리를 미리 실시한 후의 것이라도 좋다.

또, 상기 전기화학 디바이스 소체 구성의 경우, 제 1 전극, 제 2 전극 및 세퍼레이터의 내부에 전해질 용액이 함유되어 있는 구성을 갖고 있어도 좋고, 제 1 전극, 제 2 전극 및 세퍼레이터의 내부에 젤상의 전해질이 함유되어 있는 구성을 갖고 있어도 좋고, 제 1 전극, 제 2 전극 및 세퍼레이터의 내부에 고체 전해질(고체 고분자 전해질 또는 이온 전도성 무기재료로 이루어지는 전해질)이 함유되어 있는 구성을 갖고 있어도 좋다.

또한, 「전기화학 디바이스 소체」는 상기 구성과 같이, 제 1 전극, 세퍼레이터 및 제 2 전극으로 이루어지는 3층 구조인 것 외에, 상기 전극과 세퍼레이터(또는 고체 전해질막)가 교대로 적층된 5층 이상의 구성(전극으로 이루어지는 층과 세퍼레이터로 이루어지는 층이 교대로 적층된 5층 이상의 구성)을 갖고 있어도 좋다. 또, 이 구성의 경우, 전기화학 디바이스 소체의 양단에 배치되는 전극 이외의 전극, 즉, 전기화학 디바이스 소체의 내부에 배치되는 전극은 1개의 접전체의 양면에 다공체층이 형성된 구성을 갖고 있어도 좋다.

또한, 본 발명에 있어서, 「전기화학 디바이스」란 상기 전기화학 디바이스 소체와, 상기 전기화학 디바이스 소체내에 함침되는 전해질(전해질 용액, 젤상의 전해질, 상술한 고체 전해질)과, 전기화학 디바이스 소체 및 전해질을 밀폐한 상태로 주용하는 케이스를 적어도 갖는 구성의 디바이스를 나타낸다.

보다 구체적으로는 「전기화학 디바이스」란 바람직하게는 전기화학 커패시터 또는 2차전지를 나타낸다. 전기화학 커패시터로서는 전기이중층 커패시터, 의사 용량 커패시터, 레독스 캐퍼시터 등을 들 수 있다. 2차전지로서는 바람직하게는, 리튬이온 2차전지 등의 비수 전해질을 사용하는 비수 전해질 2차전지, 전해질 수용액을 사용하는 2차전지 등을 들 수 있다. 또한, 대전류의 충방전을 장기에 걸쳐서 원활하게 행할 수 있는 디바이스로서 사용하는 관점에서, 「전기화학 디바이스」란, 보다 바람직하게는 상기 전기화학 커패시터를 나타내고, 동일한 관점에서 더욱 바람직하게는 전기이중층 커패시터를 나타낸다.

여기서, 본 발명에 있어서, 케이스는 금속제의 케이스라도 좋고, 합성 수지제의 케이스라도 좋고, 1 이상의 합성 수지를 주성분으로 하는 층과 1 이상의 금속층을 적층한 복합 포장 필름에 의해 형성되는 케이스라도 좋다. 이들의 케이스에 대해서는 전기화학 디바이스의 사용환경에 따라서 케이스에 요구되는 기계적 강도, 내부식성, 중량 등을 고려하여 적절하게 선택하면 좋다.

상술한 바와 같이, 본 발명의 전기화학 디바이스의 제조방법에서는 제 1 전극의 다공체층 및 제 2 전극의 다공체층 중에, 전자전도성을 갖는 다공체 입자끼리를 결착 가능하고 세퍼레이터의 연화점  $T_B$ 보다도 낮은 연화점  $T_B$ 을 갖는 열가소성 수지를 사용하고, 또한, 전기화학 디바이스 소체(적층체)의 열처리 공정에서, 상술한 식(1)을 만족하는 열처리 온도( $T_1$ )로 열처리한다.

이로써, 열처리 공정에서 세퍼레이터의 연화가 방지되기 때문에, 세퍼레이터 내부의 미세구멍의 페색이 충분히 방지된다. 그 때문에, 세퍼레이터 중에 함침되는 전해질 중에 있어서, 충분한 이온 전도성을 확보할 수 있다.

또한, 열처리 공정에서, 다공체층의 표면 부근에 존재하는 열가소성 수지의 연화가 일어나고, 다공체층의 표면(세퍼레이터에 접촉하는 측의 표면)이 세퍼레이터의 표면의 요철부분의 형상에 맞추어서 형상 변형한다. 그 때문에, 다공체층과 세퍼레이터를 충분하게 밀착시킬 수 있다.

또한, 열처리 공정에서, 다공체층의 표면 부근에 존재하는 열가소성 수지의 연화가 일어나고, 다공체층의 표면(집전체에 접촉하는 층의 표면)이 집전체의 표면의 요철부분의 형상에 맞추어서 형상 변형한다. 그 때문에, 다공체층과 집전체를 전기적 접촉을 충분하게 유지한 상태로 밀착시킬 수 있게 된다.

그 때문에, 본 발명의 전기화학 디바이스의 제조방법에서는 열처리에 의해 전극과 세퍼레이터를 밀착시켜 일체화시킨 경우라도, 충분한 충방전 특성을 얻을 수 있는 전기화학 디바이스를 용이하고 또한 확실하게 형성할 수 있다.

본 발명의 제조방법에 있어서의 열처리 공정을 기쳐서 일어지는 전기화학 디바이스 소체의 전극과 세퍼레이터와의 밀착 상태{열처리(또는, 열처리 및 상기 열처리와 동시에 실시되는 가압처리)에 의해 다공체층의 표면이 세퍼레이터의 표면의 요철부분의 형상에 맞추어서 형상 변형하여 밀착하고 있는 상태}는 소체 단면의 SEM 사진을 활용함으로써 확인할 수 있다.

여기서, 열처리 온도( $T_1$ )를 세퍼레이터의 연화점  $T_S$  이상으로 하면, 열처리 공정에서 세퍼레이터의 연화가 일어나기 때문에, 세퍼레이터 내부의 미세구멍의 폐색을 충분하게 방지할 수 없게 되어, 충분한 이온 전도성을 확보할 수 없게 된다.

또한, 열처리 온도( $T_1$ )를 다공체층 중의 열가소성 수지의 연화점  $T_B$  미만으로 하면, 열처리 공정에서, 열가소성 수지의 연화가 일어나지 않기 때문에, 세퍼레이터와 다공체층을 충분하게 밀착시킬 수 없게 된다. 또한, 이 경우, 상기와 동일한 이유로 인해, 집전체와 다공체층을 충분하게 밀착시킬 수도 없게 된다.

또한, 본 발명에서는 열처리 온도( $T_1$ )는 다공체층 중의 열가소성 수지의 연화점  $T_B$  이상으로 하지만, 열처리 온도( $T_1$ )가, 열가소성 수지의 연화점  $T_B$ 을 넘어, 열가소성 수지의 용융 온도 이상으로 되면, 열가소성 수지가 용융상태로 전극층 내부의 다공체에 침투하기 때문에, 선극내부의 미세구멍을 펴복하여 베린다. 이 경우, 선극의 용량 저하가 생겨, 전기화학 소자가 필요할 때 만족할 수 없게 된다. 그 때문에, 본 발명에 있어서, 「열처리 온도( $T_1$ )」는 수학식 1로 제시되는 조건을 만족하는 온도이고, 또한, 다공체층 중의 열가소성 수지의 용융 온도 미만의 온도를 나타낸다.

또한, 본 발명에 있어서는 열처리 공정에서의 제 1 전극, 세퍼레이터 및 제 2 전극을 일체화시키는 구체적인 수법은 앞서 기술한 수학식 1의 조건을 만족하는 열처리 온도( $T_1$ )에서 열처리를 하는 것이면 특히 한정되지 않고, 공지의 전기화학 디바이스의 제조기술을 사용해도 좋지만, 특히 본 발명에 있어서는 이하의 (I) 내지 (V) 방법 중의 어느 하나의 방법을 채용하는 것이 바람직하다. 또한, 제조 효율이나, 얇은 다공체층을 용이하게 형성하기 쉬운 등의 관점에서는 이하의 (I) 내지 (V) 방법 중에서는 (I) 또는 (II) 방법이 보다 바람직하다.

(I)(i) 우선, 다공체층의 구성 재료를 포함하는 다공체층을 형성하기 위한 도공액을 조제한다. (ii)이어서, 도공액을 집전체 상에 도포한다.

(iii) 다음에, 집전체상에 도포된 도공액으로 이루어지는 액막을 건조시키고, 상기 액막 중의 용매를 제거하여, 집전체상에 열처리선의 상태의 다공체층(이하, 필요에 따라서 「전구체층」이라고 한다)이 형성된 적층체(이하, 「적층체(1)」라고 한다)를 얻는다. (iv) 한 쌍의 적층체(1) 사이에, 별도 제작한 시트형의 세퍼레이터를 배치한 적층체(이하, 「적층체(2)」라고 한다)를 얻는다. (v) 적층체(2)를 한 쌍의 가열부재의 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 수학식 1의 조건을 만족하는 열처리 온도( $T_1$ )로써 가열함으로써 열처리 공정을 하여, 집전체, 다공체층, 세퍼레이터, 다공체층 및 집전체가 이러한 순서로 밀착되어 모두 일체화한 전기화학 디바이스 소체를 얻는다.

또, 이 (I) 방법의 경우, 필요에 따라서, (v)의 열처리 공정에서 열처리할 때에, 적층체(2)를 한 쌍의 가열부재로 가압하여도 좋다. 또한, 필요에 따라서, (iii)의 공정에서, 적층체(1)를 한 쌍의 가열부재의 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 가열함(또한 필요에 따라서 가압한다)으로써, 집전체 및 다공체층이 일체화한 전극(제 1 전극 및/또는 제 2 전극)을 얻어도 좋다. 더욱이, 전기화학 디바이스 소체는 3층 구조로 하지 않고, 앞서 기술한 바와 같이 5층 이상의 구성으로 하여도 좋다.

(II)(i) 우선, 다공체층의 구성 재료를 포함하는 다공체층을 형성하기 위한 혼련물(앞서 기술한 도공액 중에 포함되는 용매를 포함하지 않은 것)을 조제한다. (ii)이어서, 혼련물을 집전체 상에 도포 또는 살포한다. (iii) 다음에, 집전체 상에 도포 또는 살포된 혼련물로 이루어지는 층을 열프레스하여, 집전체 상에 열처리전(본 발명에 따른 열처리전)의 상태의 다공체층(전구체층)이 형성된 적층체(이하, 「적층체(3)」라고 한다)를 얻는다. (iv) 한 쌍의 적층체(3)의 사이에, 별도 제작한 시트형의 세퍼레이터를 배치한 적층체(이하, 「적층체(4)」라고 한다)를 얻는다. (v) 적층체(4)를 한 쌍의 가열부재 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 식(1)의 조건을 만족하는 열처리 온도( $T_1$ )로써 가열함으로써 열처리 공정을 행하고, 집전체, 다공체층, 세퍼레이터, 다공체층 및 집전체가 이러한 순서로 밀착되어 모두 일체화한 전기화학 디바이스 소체를 얻는다.

또, 이 (II) 방법의 경우, 필요에 따라서, (v)의 열처리 공정에 있어서 열처리할 때에, 적층체(4)를 한 쌍의 가열부재로 가압하여도 좋다. 또한, 필요에 따라서, (iii)의 공정에서, 적층체(1)를 한 쌍의 가열부재의 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 가열함(또한 필요에 따라서 가압한다)으로써, 집전체 및 다공체층이 일체화한 전극(제 1 전극 및/또는 제 2 전극)을 얻어도 좋다. 또한, 전기화학 디바이스 소체는 3층 구조로 하지 않고, 앞서 기술한 바와 같이 5층 이상의 구성으로 하여도 좋다.

(III)(i) 우선, 다공체층의 구성 재료를 형성하기 위한 도공액을 조제한다. (ii)이어서, 도공액을 시트형의 세퍼레이터의 양면에 도포한다. 이 때, 도공액이 세퍼레이터 중의 미세구멍내로 스며들지 않도록, 도공액의 성분 조성을 조절한다. 예를 들면, 도공액의 점도, 세퍼레이터에 대한 도공액의 접촉각 등을 조절한다. (iii) 다음에, 세퍼레이터의 양면에 도포된 도공액으로 이루어지는 액막을 건조시켜, 상기 액막 중의 용매를 제거하고, 세퍼레이터의 양면에 열처리선의 상태의 다공체층(전구체층)이 형성되어 적층체(이하, 「적층체(5)」라고 한다)를 얻는다. (iv) 한 쌍의 집전체의 사이에, 적층체(5)를 배치한 적

총체(이하, 「적층체(6)」라고 한다)를 얻는다. (v) 적층체(6)를 한 쌍의 가열부재의 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 식(1)의 조건을 만족하는 열처리 온도(T1)로 가열함으로써 열처리 공정을 하고, 집전체, 다공체층, 세퍼레이터, 다공체층 및 집전체가 이러한 순서로 밀착되어 모두 일체화한 전기화학 디바이스 소체를 얻는다.

또, 이 (III) 방법의 경우, 필요에 따라서, (v)의 열처리 공정에서 열처리할 때에, 적층체(6)를 한 쌍의 가열부재로 가압하여도 좋다. 또한, 필요에 따라서, (iii)의 공정에서, 적층체(5)를 한 쌍의 가열부재 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 가열함(또한 필요에 따라서 가압한다)으로써, 세퍼레이터 및 다공체층이 일체화한 전극을 얻어도 좋다. 또한, 전기화학 디바이스 소체는 3층 구조로 하지 않고, 앞서 기술한 것처럼 5층 이상의 구성으로 하여도 좋다.

(IV)(i) 우선, 다공체층의 구성 재료를 포함하는 다공체층을 형성하기 위한 혼련물((I)에 있어서의 도공액 중에 포함되는 용매를 포함하지 않은 것)을 조제한다. (ii) 이어서, 혼련물을 시트형의 세퍼레이터의 양면에 도포 또는 살포한다. 이 때, 혼련물이 세퍼레이터 중의 미세구멍 내에 들어가지 않도록, 예를들면, 혼련물의 점도, 구성 입자의 사이즈를 조절한다. (iii) 다음에, 세퍼레이터의 양면에 도포 또는 살포된 혼련물을 이루어지는 층을 일프레스하여, 열처리선(본 발명에 따른 열처리선)의 상태의 다공체층(전극체층)이 형성된 적층체(이하, 「적층체(7)」라고 한다)를 얻는다. (iv) 한 쌍의 집전체의 사이에, 적층체(7)를 배치한 적층체(이하, 「적층체(8)」라고 한다)를 얻는다. (v) 적층체(8)를 한 쌍의 가열부재의 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 식(1)의 조건을 만족하는 열처리 온도(T1)로써 가열함으로써 열처리 공정을 하여, 집전체, 다공체층, 세퍼레이터, 다공체층 및 집전체가 이러한 순서로 밀착되어 모두 일체화한 전기화학 디바이스 소체를 얻는다.

또, 이 (IV) 방법의 경우, 필요에 따라서, (v)의 열처리 공정에서 열처리할 때에, 적층체(8)를 한 쌍의 가열부재로 가압하여도 좋다. 또한, 필요에 따라서, (iii)의 공정에서, 적층체(7)를 한 쌍의 가열부재의 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 가열함(또한 필요에 따라서 가압한다)으로써, 세퍼레이터 및 다공체층이 일체화한 전극을 얻어도 좋다. 또한, 전기화학 디바이스 소체는 3층 구조로 하지 않고, 앞서 기술한 것처럼 5층 이상의 구성으로 하여도 좋다.

(V)(i) 우선, 다공체층의 구성 재료를 포함하는 다공체층 형성하기 위한 도공액 또는 다공체층의 구성 재료를 포함하는 다공체층 형성하기 위한 혼련물을 조제한다. (ii) 도공액 또는 혼련물을 사용하여 시트형의 다공체층을 형성한다. (iii) 시트형의 세퍼레이터를 제작한다. (iv) 다음에, 집전체, 시트형의 다공체층, 시트형의 세퍼레이터, 시트형의 다공체층 및 집전체를 이러한 순서로 적층한 적층체(이하, 「적층체(9)」라고 한다)를 얻는다. (v) 적층체(9)를 한 쌍의 가열부재의 사이에 협지시켜, 한 쌍의 가열부재 중의 적어도 한쪽을 식(1)의 조건을 만족하는 열처리 온도(T1)로써 가열함으로써 열처리 공정을 하여, 집전체, 다공체층, 세퍼레이터, 다공체층 및 집전체가 이러한 순서로 밀착되어 모두 일체화한 전기화학 디바이스 소체를 얻는다.

또, 이 (V)의 방법의 경우, 전기화학 디바이스 소체는 3층 구조로 하지 않고, 앞서 기술한 것처럼 5층 이상의 구성으로 하여도 좋다.

또한, 본 발명의 전기화학 디바이스의 제조방법에서는 제 1 전극 및 제 2 전극으로서 판형상의 형상을 띠는 전극을 사용하여, 세퍼레이터로서 판형상의 형상을 띠는 부재를 사용하는 것이 바람직하다.

이로써, 제 1 전극, 세퍼레이터 및 제 2 전극으로 이루어지는 전기화학 디바이스 소체를 박막형으로 할 수 있기 때문에, 전기화학 디바이스 자체의 형상을 박막형으로 하는 것을 보다 용이하고 또한 보다 확실하게 할 수 있다. 그 때문에, 소형화 및 경량화가 용이한 구성을 갖는 전기화학 디바이스를 보다 용이하게 구성할 수 있다.

또한, 본 발명의 전기화학 디바이스의 제조방법에서는 열처리 공정에서, 서로 대향하는 한 쌍의 가열부재 사이에 상기 적층체를 배치하고, 한 쌍의 가열부재 중의 적어도 한쪽을 가열하는 것을 특징으로 하고 있어도 좋다. 이로써, 열처리 공정을 용이하게 행할 수 있다. 특히, 앞서 기술한 바와 같이, 제 1 전극 및 제 2 전극으로서 판형상의 형상을 띠는 전극을 사용하여, 세퍼레이터로서 판형상의 형상을 띠는 부재를 사용하는 경우에 열처리 공정을 용이하게 행할 수 있다. 이 경우, 제 1 전극, 세퍼레이터 및 제 2 전극이 충분하게 밀착한 전기화학 디바이스 소체를 보다 용이하고 또한 보다 확실하게 얻는 데에, 한 쌍의 가열부재의 양쪽을 가열하는 것이 바람직하다.

여기서, 본 발명에 있어서, 「가열부재」는 제 1 전극, 세퍼레이터 및 제 2 전극에 대하여, 이들이 밀착 가능한 열을 공급 가능하면, 그 자신이 발열체라도 좋고, 다른 발열체로부터의 열을 공급하는 열전도체라도 좋다.

또한, 가열부재를 사용하는 경우, 열처리 공정에서, 한 쌍의 가열부재에 의해 적층체를 가압한 상태로 한 쌍의 가열부재 중의 적어도 한쪽을 가열하는 것이 바람직하다. 이와 같이 적층체를 가압한 상태에서 가열함으로써, 제 1 전극, 세퍼레이터 및 제 2 전극이 충분하게 밀착한 전기화학 디바이스 소체를 더욱 용이하고 또한 더욱 확실하게 얻을 수 있다.

또한, 소형화 및 경량화가 용이한 구성을 갖는 전기화학 디바이스를 보다 용이하게 구성하는 관점에서는 본 발명의 전기화학 디바이스의 제조방법에서는 1 이상의 합성 수지를 주성분으로 하는 중과 1 이상의 금속층을 적층한 복합 포장 필름을 사용하는 것이 바람직하다. 복합 포장 필름으로서는 전해질 용액에 접촉하는 합성 수지제의 최내부의 중과, 최내부의 중의 상방에 배치되는 금속층을 적어도 갖는 복합 포장 필름을 사용하는 것이 바람직하다.

이와 같이, 합성 수지제의 최내부의 중을 배치함으로써 복합 포장 필름의 충분한 가요성이 확보된다. 또한, 금속층을 배치함으로써, 복합 포장 필름의 충분한 기계적 강도가 확보됨과 동시에, 케이스 내부의 전해질 용액의 구성 성분의 케이스 외부로의 일산(逸散)과, 케이스 외부로부터 케이스 내부로의 공기(수분 및 산소)의 유입을 충분하게 방지할 수 있다. 또한, 합성 수지제의 최내부의 중을 금속층보다도 내측에 배치함으로써 케이스 내부의 전해질 용액의 구성 성분 등에 의한 금속층의 부식의 진행을 충분하게 방지할 수 있다.

이로써, 액누설의 발생을 충분하게 방지할 수 있는 전기화학 디바이스를 보다 용이하고 또한 보다 확실하게 구성할 수 있다. 또한, 액누설의 발생을 충분히 방지하는 관점과 충분한 기계적 강도를 확보하는 관점에서, 금속층의 외측에 또한 힙성 수지제의 층을 배치하는 것이 보다 바람직하다.

또한, 본 발명의 전기화학 디바이스의 제조방법에서는 경량이고 박막화가 용이한 가요성을 갖는 복합 포장 필름을 사용하여 형성된 케이스를 사용하는 경우에는 전기화학 디바이스 자체의 형상을 박막형으로 하는 것을 보다 용이하게 할 수 있다. 그 때문에, 본 발명의 제조방법에서는 소형화 및 경량화가 용이한 구성을 갖는 전기화학 디바이스를 용이하게 구성할 수 있다. 그 때문에, 원래의 체적 에너지 밀도를 용이하게 향상시킬 수 있는 동시에, 전기화학 디바이스가 설치되어야 할 설치공간의 단위 체적당의 에너지 밀도(이하, 「설치되어야 할 공간의 체적을 기준으로 하는 체적 에너지 밀도」라고 한다)도 용이하게 향상시킬 수 있다.

또, 전기화학 디바이스의 「체적 에너지 밀도」란 원래, 전기화학 디바이스의 용기를 포함하는 전체적에 대한 전출력 에너지의 비율로 정의되는 것이다. 이에 대하여, 「설치되어야 할 공간의 체적을 기준으로 하는 체적 에너지 밀도」란 전기화학 디바이스의 최대 세로, 최대 가로, 최대 두께에 기초하여 구해지는 외관상의 체적에 대한 전기화학 디바이스의 전출력 에너지의 비율을 의미한다. 실제로, 전기화학 디바이스를 소형 전자기기에 탑재하는 경우, 상술한 원래의 체적 에너지 밀도의 향상과 동시에, 설치되어야 할 공간의 체적을 기준으로 하는 체적 에너지 밀도를 향상시키는 것이, 소형 전자기기 내의 한정된 공간을, 데드 공간(dead space)을 충분히 저감시킨 상태에서 유효하게 이용하는 관점에서 중요해진다.

또한, 본 발명은 앞서 기술한 본 발명의 전기화학 디바이스의 제조방법 중의 어느 하니에 의해 얻어지는 전기화학 디바이스를 제공한다. 본 발명의 전기화학 디바이스는 앞서 기술한 본 발명의 전기화학 디바이스의 제조방법에 의해 제조되어 있기 때문에 내부저항이 충분하게 저감되어 있고, 충분한 충방전 특성을 얻을 수 있다.

#### 적합한 실시예의 설명

이하, 도면을 참조하면서 본 발명의 전기화학 디바이스의 제조방법의 적합한 일 실시형태에 관해서 상세하게 설명한다. 또, 이하의 설명에서는 동일하거나 또는 상당하는 부분에는 동일 부호를 붙이고, 중복되는 설명은 생략한다.

전기화학 디바이스의 일 예(전기이중층 커패시터)를 도시하는 정면도이다. 도 1은 본 발명의 전기화학 디바이스의 적합한 일 실시형태(전기이중층 커패시터)를 도시하는 정면도이다. 이 도 1의 전기화학 디바이스(1)는 본 발명의 전기화학 디바이스의 제조방법의 적합한 일 실시형태에 의해 제조되는 것이다.

또한, 도 2는 도 1에 도시하는 전기화학 디바이스(1)의 내부를 양극(10)의 표면의 법선방향에서 본 경우의 전개도이다. 또한, 도 3은 도 1에 도시하는 전기화학 디바이스를 도 1의 X1-X1선을 따라서 절단한 경우의 모식 단면도이다. 또한, 도 4는 도 1에 도시하는 전기화학 디바이스를 도 1의 X2-X2선을 따라서 절단한 경우의 주요부를 도시하는 모식 단면도이다.

도 1 내지 도 5에 도시하는 바와 같이, 전기이중층 커패시터(1)는 주로, 서로 대향하는 평판형의 양극(10; 제 1 전극) 및 평판형의 음극(20; 제 2 전극)과, 양극(10)과 음극(20)의 사이에 인접하여 배치되는 평판형의 세퍼레이터(40)와, 양극(10), 음극(20) 및 세퍼레이터(40)중에 힘침되는 진해질 용액(30)과, 이들을 밀폐한 상태로 수용하는 케이스(50)와, 양극(10)에 한쪽의 말단부가 전기적으로 접속되는 동시에 다른쪽의 말단부가 케이스(50)의 외부로 돌출되는 양극용 리드(12; 제 1 리드)와, 음극(20)에 한쪽의 말단부가 전기적으로 접속되는 동시에 다른쪽의 말단부가 케이스(50)의 외부로 돌출되는 음극용 리드(22; 제 2 리드)로 구성되어 있다.

여기서, 「양극」(10) 및 「음극」(20)은 설명의 편의상, 전기화학 디바이스(1)의 방전 시의 극성을 기준으로 결정한 것이다.

그리고, 전기화학 디바이스(1)는 이하에 설명하는 구성을 갖고 있다. 이하, 도 1 내지 도 9에 기초하여 본 실시형태의 각 구성 요소의 상세를 설명한다.

케이스(50)는 앞서 기술한 바와 같이, 서로 대향하는 제 1 필름(51) 및 제 2 필름(52)을 갖고 있다. 여기서, 도 2에 도시하는 바와 같이, 이 전기화학 디바이스(1)에 있어서는, 제 1 필름(51) 및 제 2 필름(52)은 연결되어 있다. 즉, 케이스(50)는 한 장의 복합 포장 필름으로 이루어지는 직사각형상의 필름을, 도 2에 도시하는 절곡선(X3-X3)에 있어서 구부려, 직사각형상의 필름이 대향하는 1세트의 가장자리부끼리(도면 중의 제 1 필름(51)의 가장자리부(51B) 및 제 2 필름(52)의 가장자리부(52B)를 겹치고, 후술하는 열용착 공정에 있어서 히트 밀봉(열용착)을 함으로써 형성되어 있다.

그리고, 제 1 필름(51) 및 제 2 필름(52)은 1장의 직사각형상의 필름을 상술한 바와 같이 결꼭하였을 때에 생기는 서로 대향하는 면(F51 및 F52)를 갖는 상기필름의 부분을 각각 나타낸다. 여기서, 접합된 후의 제 1 필름(51) 및 제 2 필름(52)의 각각의 가장자리부를 「밀봉부」라고 한다.

이로써, 절곡선(X3-X3)의 부분에 제 1 필름(51)과 제 2 필름(52)을 접합시키기 위한 밀봉부를 설치할 필요가 없어지기 때문에, 케이스(50)에 있어서의 밀봉부를 보다 저감시킬 수 있다. 그 결과, 전기화학 디바이스(1)의 설치되어야 할 공간의 체적을 기준으로 하는 체적 에너지 밀도를 보다 향상시킬 수 있다.

그리고, 본 실시형태의 경우, 도 1 및 도 2에 도시하는 바와 같이, 양극(10)에 접속된 양극용 리드(12) 및 음극용 리드(22)의 각각의 한쪽 말단이, 상술한 제 1 필름(51)의 가장자리부(51B) 및 제 2 필름(52)의 가장자리부(52B)를 접합한 밀봉부에 시 외부로 돌출하도록 배치되어 있다. 그리고, 이 양극용 리드(12) 및 음극용 리드(22)와, 제 1 필름(51)의 가장자리부(51B) 및 제 2 필름(52)의 가장자리부(52B)는 후술하는 흠이 형성된 가열부재인 금형(93; 도 15 참조)을 사용하여 히트 밀봉(열용착)되어 있다. 이로써, 케이스(50)의 충분한 밀봉성이 확보되어 있다.

또한, 제 1 필름(51) 및 제 2 필름(52)을 구성하는 필름은 가요성을 갖는 필름이다. 필름은 경량이고 박막화가 용이하기 때문에, 전기화학 디바이스(1) 자체의 형상을 박막형으로 할 수 있다. 그 때문에, 원래의 체적 에너지 밀도를 용이하게 향상시킬 수 있는 동시에, 전기화학 디바이스(1)의 설치되어야 할 공간의 체적을 기준으로 하는 체적 에너지 밀도도 용이하게 향상시킬 수 있다.

이 필름은 가요성을 갖는 필름이면 특히 한정되지 않지만, 케이스(50)의 충분한 기계적 강도와 경량성을 확보하면서, 케이스(50) 외부로부터 케이스(50) 내부로의 수분이나 공기의 침입 및 케이스(50) 내부로부터 케이스(50) 외부로의 전해질 성분의 일산을 효과적으로 방지하는 관점에서, 전해질 용액에 접촉하는 합성 수지제의 최내부의 층과, 최내부의 층의 상방에 배치되는 금속층을 적어도 갖는 「복합 포장 필름」 인 것이 바람직하다.

제 1 필름(51) 및 제 2 필름(52)으로서 사용 가능한 복합 포장필름으로서는 예를 들면, 도 6 및 도 7에 도시하는 구성의 복합 포장 필름을 들 수 있다.

도 6에 도시하는 복합 포장 필름(53)은 그 내면(F50a)에서 전해질 용액에 접촉하는 합성 수지제의 최내부의 층(50a)과, 최내부의 층(50a)의 다른 한쪽 면(외측의 면)상에 배치되는 금속층(50c)을 갖는다. 또한, 도 7에 도시하는 복합 포장 필름(54)은 도 6에 도시하는 복합 포장 필름(53)의 금속층(50c)의 외측의 면에, 또한 합성 수지제의 최외부의 층(50b)이 배치된 구성을 갖는다.

제 1 필름(51) 및 제 2 필름(52)에서 사용 가능한 복합 포장 필름은 상술한 최내부의 층(50a)을 비롯한 1 이상의 합성 수지의 층, 금속호일 등의 금속층(50c)을 구비한 2 이상의 층을 갖는 복합포장재라면 특히 한정되지 않지만, 성기와 같은 효과를 보다 확실하게 얻는 관점에서, 도 7에 도시한 복합 포장 필름(54)과 같이, 최내부의 층(50a)과, 최내부의 층(50a)으로부터 가장 먼 케이스(50)의 외측 표면의 측에 배치되는 합성 수지제의 최외부의 층(50b)과, 최내부의 층(50a)과 최외부의 층(50b)의 사이에 배치되는 적어도 1개의 금속층(50c)을 갖는 3층 이상의 층으로 구성되어 있는 것이 보다 바람직하다.

최내부의 층(50a)은 가요성을 갖는 층이고, 그 구성 재료는 상기의 가요성을 발현시키는 것이 가능하고, 또한, 사용되는 전해질 용액에 대한 화학적 안정성(화학반응, 용해, 팽윤(膨潤)이 일어나지 않는 특성) 및, 산소 및 물(공기 중의 수분)에 대한 화학적 안정성을 갖고 있는 합성 수지라면 특히 한정되지 않지만, 또한 산소, 물(공기 중의 수분) 및 전해질 용액의 성분에 대한 특과성이 낮은 특성을 갖고 있는 재료가 바람직하다. 예를 들면, 폴리에틸렌, 폴리프로필렌, 폴리에틸렌산 벤성물, 폴리프로필렌산 벤성물, 폴리에틸렌 아이오노머 등의 열가소성 수지 등을 들 수 있다.

또한, 상술한 도 7에 도시한 복합 포장 필름(54)과 같이, 최내부의 층(50a) 이외에, 최외부의 층(50b) 등과 놓일한 합성 수지제의 층을 더 설치하는 경우, 이 합성 수지제의 층도, 성기 최내부의 층과 같은 구성 재료를 사용해도 좋다. 또한, 이 합성 수지제의 층으로서는 예를 들면, 폴리에틸렌테레프탈레이트(PET), 폴리아미드(나일론) 등의 앤시니어링 플라스틱으로 이루어지는 층을 사용하여도 좋다.

또한, 케이스(50)에 있어서의 모든 밀봉부의 밀봉방법은 생산성의 관점으로부터, 히트 밀봉(열용착)법인 것이 바람직하다. 이 전기화학 디바이스의 경우, 특히, 양극용 리드(12) 및 음극용 리드(22)가 케이스(50)의 외부로 둘출하는 부분의 밀봉부는 히트 밀봉(열용착)법에 의해 밀봉되어 있다.

금속층(50c)으로서는 산소, 물(공기 중의 수분) 및 전해질 용액에 대한 내부식성을 갖는 금속재료로 형성되어 있는 층인 것이 바람직하다. 예를 들면, 알루미늄, 알루미늄 합금, 티타늄, 니켈 등으로 이루어지는 금속호일을 사용하여도 좋다.

다음에, 양극(10) 및 음극(20)에 대하여 설명한다. 도 8은 도 1에 도시하는 전기화학 디바이스의 양극(10)의 기본 구성의 일 예를 도시하는 모식 단면도이다. 또한, 도 9는 도 1에 도시하는 전기화학 디바이스(1)의 음극(20)의 기본 구성의 일 예를 도시하는 모식 단면도이다.

도 8에 도시하는 바와 같이, 양극(10)은 전자전도성을 갖는 집진체로 이루어지는 집진체층(16)과, 성기 집진체층(16)상에 형성된 전자전도성을 갖는 다공체로 이루어지는 다공체층(18)으로 이루어진다. 또한, 도 9에 도시하는 바와 같이, 음극(20)은 집선체(26)와, 성기 집선체(26)상에 형성된 전자전도성의 다공체로 이루어지는 다공체층(28)으로 이루어진다.

집진체층(16) 및 집전체(26)는 다공체층(18) 및 다공체층(28)으로의 전하의 이동을 충분하게 행할 수 있는 양도체라면 특히 한정되지 않고, 공기의 전기이중층 커패시터에 사용되는 집전체를 사용할 수 있다. 예를 들면, 집진체층(16) 및 집전체(26)로서는 알루미늄 등의 금속호일 등을 들 수 있다.

다공체층(18) 및 다공체층(28)의 구성 재료로서는 전자전도성을 갖는 다공체 입자와, 다공체 입자끼리를 결착할 수 있고 후술하는 세퍼레이터(40)의 연화점  $T_S$ 보다도 낮은 연화점  $T_B$ 을 갖는 열가소성 수지를 적어도 포함하는 구성을 갖고 있으며 특히 한정되지 않고, 공기의 전기이중층 커패시터에 사용되고 있는 탄소전극 등의 분극성 전극을 구성하는 다공체층에 사용되고 있는 것과 동일한 재료를 사용할 수 있다.

전자전도성을 갖는 다공체 입자로서는 예를 들면, 원료탄(예를 들면 식유계 중질유의 유동집축 분해장치의 보팀유나 칼암증류장치가 잔류오일을 원료오일로 하는 딜레이드 코커(delayed coker)로 제조된 석유 코크스 등)을 부활(賦活) 처리함으로써 얻어지는 탄소 재료(예를 들면, 활성탄)를 구성 재료의 주성분으로 하고 있는 것을 사용할 수 있다.

결합세가 되는 열가소성 수지로서는 예를 들면, 불소고무( $T_B=200^\circ\text{C}$ ), 폴리테트라플루오로에틸렌( $T_B=230^\circ\text{C}$ , 이하, 「PTFE」라고 한다), 폴리불화비닐리엔( $T_B=140^\circ\text{C}$ , 이하, 「PVdF」라고 한다), 폴리염화비닐리엔( $T_B=70^\circ\text{C}$  이하, 「PVdC」라고 한다)을 바람직하게 들 수 있다.

그 외의 조건(다공체 입자, 결합제가 되는 열가소성 수지 이외의 구성 재료의 종류와 그 함유량)은 특히 한정되지 않는다. 예를 들면, 탄소분말에 도진성을 부여하기 위한 도진성 보조제(카본블랙 등)가 침가되어 있어도 좋다.

양극(10)과 음극(20) 사이에 배치되는 세퍼레이터(40)는 앞서 기술한 다공체층 중에 포함되는 열가소성 수지의 연화점  $T_B$ 보다도 높은 연화점( $T_S > T_B$ )을 갖고 있고, 이온 투파성을 갖고 또한 절연성을 갖는 구성을 갖고 있으면 특히 한정되지 않으며, 공지의 전기이중층 키페시터 등의 전기화학 디바이스에 사용되는 세퍼레이터를 사용할 수 있게 된다.

예를 들면, 세퍼레이터(40)로서는 폴리에틸렌( $T_S = 120^\circ\text{C}$ ), 폴리프로필렌( $T_S = 150^\circ\text{C}$ ), 또는, 폴리에스테르( $T_S = 240^\circ\text{C}$ )로 이루어지는 필름, 상기 필름의 적층체이고  $T_S > T_B$ 의 조건을 만족하도록 연화점을 조절한 것. 또는, 상기 합성 수지의 혼합물의 연신막이고  $T_S > T_B$ 의 조건을 만족하도록 연화점을 조절한 것을 들 수 있다. 또한, 셀룰로스( $T_S \geq 300^\circ\text{C}$ ), 폴리에스테르( $T_S = 240^\circ\text{C}$ ), 폴리프로필렌( $T_S = 150^\circ\text{C}$ ), 및, 아라미드( $T_S > 250^\circ\text{C}$ )로 이루어지는 그룹으로부터 선택되는 적어도 1종의 구성 재료로 이루어지는 섬유부직포로서  $T_S > T_B$ 의 조건을 만족하도록 연화점을 조절한 것이라도 좋다.

$T_S > T_B$ 의 조건을 만족하는 다공체층 중에 포함되는 열가소성 수지와 세퍼레이터(40)의 바람직한 조합으로서는 예를 들면, 불소고무와 셀룰로스의 조합이나, PVdF와 폴리에스테르와의 조합 등을 들 수 있다.

또한, 음극(20)의 접전체(28)는 예를 들면 일루미늄으로 이루어지는 음극용 리드(22)의 한쪽 말단에 전기적으로 접속되고, 음극용 리드(22)의 다른쪽 말단은 케이스(50)의 외부로 연장되고 있다. 한편, 양극(10)의 접전체(18)도, 예를 들면 구리 또는 니켈로 이루어지는 양극용 리드 도체(12)의 한쪽 말단에 전기적으로 접속되고, 양극용 리드 도체(12)의 다른쪽 말단은 케이스(14)의 외부로 연장되고 있다.

전해질 용액(30)은 케이스(50)의 내부 공간에 충전되고, 그 일부는 양극(10) 및 음극(20) 및 세퍼레이터(40)의 내부에 함유되어 있다.

이 전해질 용액(30)은 특히 한정되지 않고, 공지의 전기이중층 키페시터 등의 전기화학 디바이스에 사용되고 있는 전해질 용액(전해질 수용액, 유기용매를 사용하는 전해질 용액)을 사용할 수 있다. 단, 전기이중층 키페시터의 경우, 전해질 수용액은 전기화학적으로 분해 전압이 낮음으로써, 키페시터의 내용전압이 낮게 제한되기 때문에, 유기용매를 사용하는 전해질 용액(비수 전해질 용액)인 것이 바람직하다.

또한, 전해질 용액(30)의 종류는 특히 한정되지 않지만, 일반적으로는 용질의 용해도, 해리도, 액체의 점성을 고려하여 선택되고, 높은 도전율이고 또한 전위차이가 넓은 전해질 용액인 것이 바람직하다. 예를 들면, 대표적인 예로서는 테트라에틸암모늄테트라플루오로보레이트와 같은 4급 암모늄염을, 프로필렌카보네이트, 디에틸렌카보네이트, 아세토니트릴 등의 유기용매에 용해한 것이 사용된다. 또, 이 경우, 혼입 수분을 엄중하게 관리할 필요가 있다.

또한, 도 1 및 도 2에 도시하는 바와 같이, 제 1 필름(51)의 가장자리부(51B) 및 제 2 필름(52)의 가장자리부(52B)로 이루어지는 케이스의 밀봉부에 접촉하는 양극용 리드(12)의 부분에는 양극용 리드(12)와 각 필름의 밀착성을 충분히 확보함과 동시에 양극용 리드(12)와 각 필름을 구성하는 복합 포장 필름 중의 금속층(50c)과의 전기적인 접촉을 방지하기 위한 접착제(결연체)로 이루어지는 접착제층(14)이 피복되어 있다. 또한, 제 1 필름(51)의 가장자리부(51B) 및 제 2 필름(52)의 가장자리부(52B)로 이루어지는 케이스의 밀봉부에 접촉하는 음극용 리드(22)의 부분에는 음극용 리드(22)와 각 필름의 밀착성을 충분하게 확보함과 동시에 음극용 리드(22)와 각 필름을 구성하는 복합 포장 필름 중의 금속층(50c)과의 전기적인 접촉을 방지하기 위한 접착제(결연체)로 이루어지는 접착제층(24)이 피복되어 있다.

접착제층(14) 및 접착제층(24)의 구성 재료가 되는 접착제는 금속과 합성 수지의 양쪽에 밀착시킬 수 있는 합성 수지를 포함하는 접착제이면 특히 한정되지 않지만, 충분한 밀착성을 확보하는 관점에서, 변성 폴리프로필렌, 변성 폴리에틸렌 및 에폭시수지로 이루어지는 그룹으로부터 선택되는 적어도 1종의 수지를 구성 재료로서 포함하는 접착제인 것이 바람직하다. 또, 양극용 리드(12) 및 음극용 리드(22)의 각각에 대한 복합 포장 필름의 밀착성을 확보하여, 복합 포장 필름 중의 금속층의 접촉이 충분히 방지 가능하면, 이들 접착제층(14) 및 접착제층(24)은 배치하지 않는 구성으로 하여도 좋다.

양극용 리드(12) 및 음극용 리드(22)는 금속제의 부재(예를 들면, 알루미늄, 니켈)로 형성되어 있다.

다음에, 전기화학 디바이스(1; 전기이중층 키페시터)의 제작방법(본 발명의 제조방법의 적합한 일 실시형태)에 대하여 설명한다.

우선, 전기화학 디바이스 소체(60; 양극(10), 세퍼레이터(40) 및 음극(20)이 이 순서로 차례로 적층된 적층체)의 제조방법이 적합한 일 예에 대하여 설명한다.

이하, 도 10 내지 도 17에 기초하여 양극(10) 및 음극(20)이 되는 전극이 탄소전극(분극성 전극)의 경우에 대한 제조방법의 적합한 일 예에 대해서 설명한다.

도 10은 전극 형성용 도포액을 조제하는 공정을 설명하기 위한 설명도이다. 도 11 및 도 12는 전극 형성용 도포액을 사용한 전극시트의 형성 공정을 설명하기 위한 설명도이다. 도 13은 전극시트로부터 전극을 형성하는 공정을 설명하기 위한 설명도이다.

우선, 양극(10) 및 음극(20)이 되는 전극이 탄소전극인 경우, 도 10에 도시하는 바와 같이, 교반자(SB1)를 넣은 용기(C1) 중에, 부활처리제만의 활성탄 등의 탄소 재료로 이루어지는 5 내지 100 $\mu\text{m}$  정도의 입자(P1; 전자전도성을 갖는 다공체 입

사), 도전성 보조제(앞서 기술한 카본블랙, 분말흑연 등)로 이루어지는 입자(P2), 결합제가 되는 열가소성 수지(앞서 기술한 PTFE, PVDF, PE, PP, 불소고무 등이고,  $T_g > T_b$ 의 조건을 만족하는 것)로 이루어지는 입자(P3), 상기 결합제를 용해함과 동시에 입자(P1) 및 입자(P2)를 분산 가능한 용제(S)를 투입하여, 교반함으로써 전극 형성용 도포액을 조제한다.

또, 전기화학 디바이스로서 2차전지를 제조하는 경우 등, 양극(10)과 음극(20)의 구성 재료가 다른 경우에는 다른 구성 재료로 이루어지는 입자를 포함하는 2종류의 전극 형성용 도포액을 조제한다.

또한, 상기의 전극 형성용 도포액을 조정하지 않고서, 예를 들면, 탄소 재료를 5 내지 100 $\mu\text{m}$  정도로 분쇄하여 입도를 정리한 후, 예를 들면 탄소분말에 도전성을 부여하기 위한 도전성 보조제와, 예를 들면, 결합제(열가소성 수지)를 첨가하여 혼련하여 혼련물을 조제하고, 이 혼련물을 압연 신장하여 시트형으로 성형함으로써 전극을 제조하여도 좋다. 이 경우에는 탄소 재료를 분쇄한 미립자와 카본블레이어 균등하게 분포하고, 거의 동일 강도로 PTFE 선후유 등의 결합제(열가소성 수지)로 도포할 필요가 있고, 혼련을 충분하게 행하여, 일반적으로 반복하여 압연 신장을 중횡으로 행하는 것이 바람직하다.

다음에, 상기 전극 형성용 도포액, 및, 도 11 및 도 12에 도시하는 바와 같은 장치(70) 및 장치(80)를 사용하여 도시하는 전극시트를 형성한다. 또, 이하의 설명에 있어서는 양극(10)용의 전극시트(ES10; 도 13 참조), 및, 전극시트(ES10)로부터 일어지는 양극(10)의 형성방법에 관해서 설명하고, 양극(10)과 동일한 구성을 갖는 음극(20)의 형성방법에 대해서는 생략한다.

도 11에 도시하는 장치(70)는 주로, 제 1 률(71)과, 제 2 률(72)과, 제 1 률(71)과 제 2 률(72)의 사이에 배치되는 긴조기(73)와, 2개의 지지 률(79)로 구성되어 있다. 제 1 률(71)은 원주형의 권심(74)과 테이프형의 적층체 시트(75)로 구성되어 있다. 이 적층체 시트(75)의 한쪽 말단은 권심(74)에 접속되어 있고, 또한 적층체 시트(75)는 권심(74)에 권취되어 있다. 또한 적층체 시트(75)는 기체 시트(B1)상에 금속호일시트(160)가 적층된 구성을 갖고 있다.

또한, 제 2 률(72)은 상기 적층체 시트(75)의 다른쪽 말단이 접속된 원주형의 권심(76)을 갖고 있다. 또한, 제 2 률(72)의 권심(76)에는 상기 권심(76)을 회전시키기 위한 권심 구동용 모터(도시하지 않음)가 접속되어 있고, 전극 형성용의 도포액(L1)을 도포하고 또한 긴조기(73)중에서 건조처리를 실시한 후의 적층체 시트(77)가 소정의 속도로 권취되도록 되어 있다.

우선, 권심 구동용 모터가 회전하면, 제 2 률(72)의 권심(76)이 회전하여, 제 1 률(71)의 권심(74)에 권취되어 있는 적층체 시트(75)가 제 1 률(71)의 외부로 끌려나온다. 다음에, 끌려나온 적층체 시트(75)의 금속호일시트(160)상에, 전극 형성용 도포액(L1)을 도포한다. 이로써, 금속호일시트(160)상에는 전극 형성용 도포액(L1)으로 이루어지는 도막(L2)이 형성된다. 다음에 권심 구동용 모터의 회전에 의해, 도막(L2)이 형성된 적층체 시트(75)의 부분은 지지 률(79)에 의해 긴조기(73)중으로 유도된다. 긴조기(73)중에 있어서, 적층체 시트(75)상의 도막(L2)은 건조되어 전극으로 되었을 때의 다공체층(18)의 전구체가 되는 층(78; 이하, 「전구체층(78)」이라고 한다)이 된다. 그리고, 권심 구동용 모터의 회전에 의해, 적층체 시트(75)상에 전구체층(78)이 형성된 적층체 시트(77)는 지지 률(79)에 의해 권심(76)으로 유도되어 권심(76)에 권취된다.

다음에, 상기 적층체 시트(77)와, 노 12에 노시하는 장치(80)를 사용하여 전극시트(ES10)를 제작한다.

도 12에 도시하는 장치(80)는 주로, 제 1 률(81)과, 제 2 률(82)과, 제 1 률(81)과 제 2 률(82) 사이에 배치되는 롤프레스기(83)로 구성되어 있다. 제 1 률(81)은 원주형의 권심(84)과 앞서 기술한 테이프형의 적층체 시트(77)로 구성되어 있다. 이 적층체 시트(77)의 한쪽 말단은 권심(84)에 접속되어 있고, 또한 적층체 시트(77)는 권심(84)에 권취되어 있다. 적층체 시트(77)는 기체 시트(B1)상에 금속호일시트(160)가 접속된 적층체 시트(75)상에 전구체층(78)이 또한 적층된 구성을 갖고 있다.

또한, 제 2 률(82)은 상기 적층체 시트(77)의 다른쪽 말단이 접속된 원주형의 권심(86)을 갖고 있다. 또한, 제 2 률(82)의 권심(86)에는 상기 권심(86)을 회전시키기 위한 권심 구동용 모터(노시하지 않음)가 접속되어 있고, 롤프레스기(83)중에 있어서 열처리 및 프레스 처리를 실시한 후의 적층체 시트(87)가 소정의 속도로 권취되고 있다.

우선, 권심 구동용 모터가 회전하면, 제 2 률(82)의 권심(86)이 회전하여, 제 1 률(81)의 권심(84)에 권취되어 있는 적층체 시트(77)가 제 1 률(81)의 외부로 끌려나온다. 다음에, 권심 구동용 모터의 회전에 의해, 적층체 시트(77)는 롤프레스기(83)중으로 유도된다. 롤프레스기(83)중에는 2개의 원주형의 롤프레스(83A)와 롤러(83B)가 배치되어 있다. 롤러(83A)와 롤러(83B)는 이들의 사이에 적층체 시트(77)가 삽입되도록 배치되어 있다.

그리고, 롤러(83A)와 롤러(83B)의 사이에 적층체 시트(77)가 삽입될 때에, 롤러(83A)의 출면과 적층체 시트(77)의 전구체층(78)의 외측 표면이 접촉하여, 롤러(83B)의 출면과 적층체 시트(77)의 기체 시트(B1)의 외측 표면(이면)이 접촉하는 상태가 되고, 또한, 소정의 온도와 소정의 압력으로 적층체 시트(77)를 가압하면서 열처리할 수 있도록 설치되어 있다.

또한, 이 원주형의 롤러(83A) 및 롤러(83B)는 각각이 적층체 시트(77)의 이동방향을 따르는 방향으로 회전하는 회전기구가 구비되어 있다. 또한, 이 원주형의 롤러(83A) 및 롤러(83B)는 각각의 저면간의 길이가 적층체 시트(77)의 폭 이상으로 되는 크기를 갖고 있다.

롤프레스기(83)중에 있어서, 적층체 시트(77)상의 전구체층(78)은 필요에 따라서 가열 및 가압처리되고, 다공체층(180; 양극으로 되었을 때의 다공체 시트(77)상에 다공체층(18))이 된다. 그리고, 권심 구동용 모터의 회전에 의해, 적층체 다공체층(180)의 형성된 적층체 시트(87)는 권심(86)에 권취된다.

다음에, 도 13a에 도시하는 바와 같이, 권심(86)에 권취된 적층체 시트(87)를 소정의 크기로 절단하여, 전극시트(ES10)를 얻는다. 또, 도 13a에 도시하는 전극시트(ES10)의 경우, 금속호일시트(160)의 표면이 노출된 가장자리부(120)가 형성되어 있다. 가장자리부(120)는 전극 형성용 도포액(L1)을 적층체 시트(75)의 금속호일시트(160)상에 도포할 때에, 금속호일시트(160)의 중앙부에만 전극 형성용 도포액(L1)을 도포하도록 조절함으로써 형성할 수 있다.

다음에, 도 13b에 도시하는 바와 같이, 제작하는 전기화학 디바이스의 스케일에 맞추어서, 전극시트(ES10)를 뚫고, 도 13c에 도시하는 양극(10)을 얻는다. 이 때, 먼저 기술한 가장자리부(120)의 부분이 양극용 리드(12)로서 포함되도록 전극시트(ES10)를 뚫는 것에 의해, 미리 양극용 리드(12)가 일체화된 상태의 양극(10)을 얻을 수 있다. 또, 양극용 리드 도체(12) 및 음극용 리드(22)를 접속하고 있지 않는 경우에는 양극용 리드 도체(12) 및 음극용 리드(22)를 별도로 준비하여, 양극(10) 및 음극(20)의 각각에 대하여 전기적으로 접속한다.

다음에, 별도 준비한 세퍼레이터(40)를 양극(10)과 음극(20) 사이에 접촉한 상태로 배치하고, 본 발명에 있어서의 열처리 공정을 실시함으로써, 전기화학 디바이스 소체(60)를 완성한다. 이 열처리 공정에 대하여, 도 14에 기초하여 설명한다. 도 14a 내지 도 14c는 본 발명에 있어서의 열처리 공정의 순서의 일 예를 도시하는 설명도이다.

우선, 세퍼레이터(40)를, 양극(10)과 음극(20) 사이에 배치하여 적층체(61)를 얻는다. 이 적층체(61)에서는 세퍼레이터(40)는 양극(10) 및 음극(20)에 대하여 접촉한 상태로 배치되어 있지만, 열압착 등에 의해 접합된 상태로는 되어 있지 않다.

다음에, 도 14a에 도시하는 바와 같이, 한 쌍의 가열부재인 팬형상의 금형(91) 및 팬형상의 금형(92)의 사이에 적층체(61)를 배치한다. 금형(91)의 적층체(61)에 접촉하는 면(가열하는 면) 및 금형(92)의 적층체(61)에 접촉하는 면(가열하는 면)은 모두 적층체(61)의 크기 이상으로 설정되어 있다.

다음에, 도 14b에 도시하는 바와 같이, 금형(91)과 금형(92)에서 적층체(61)를 협진하도록 하여, 적층체(61)를 가압하면서 하기 수학식 1로 제시되는 조건을 만족하는 열처리 온도(T1)로 가열하여 열처리를 한다. 이로써, 양극(10)의 집전체(16), 양극(10)의 다공체층(18), 세퍼레이터(40), 음극(20)의 다공체층(28), 및, 음극(20)의 접전체(26)가 일체화된 상태의 적층체인 전기화학 디바이스 소체(60)를 얻는다. 상기 수학식 1,  $T_B \leq T_1 < T_S$  중,  $T_S$ 는 세퍼레이터의 연화점을 나타내고,  $T_B$ 는 열가소성 수지의 연화점을 가리킨다.

이 열처리 공정에서는 세퍼레이터(40)의 연화가 방지되기 때문에, 세퍼레이터(40) 내부의 미세구멍의 폐색이 충분히 방지된다. 그 때문에, 세퍼레이터(40)중에 함침되는 전해질 중의 충분한 이온 전도성을 확보할 수 있다.

또한, 이 열처리 공정에서는 다공체층(18)의 표면 부근에 존재하는 열가소성 수지의 연화가 일어나고, 다공체층(18)의 표면(세퍼레이터(40)에 접촉하는 측의 표면)이 세퍼레이터(40)의 표면의 요철부분의 형상에 맞추어서 형상 변형한다. 그 때문에, 다공체층(18)과 세퍼레이터(40)를 충분히 밀착시킬 수 있다.

또한, 이 열처리 공정에서는 다공체층(18)의 표면 부근에 존재하는 열가소성 수지의 연화가 일어나고, 다공체층(18)의 표면(집전체(16)에 접촉하는 측의 표면)이 집전체(16)의 표면의 요철부분의 형상에 맞추어서 형상 변형한다. 그 때문에, 다공체층(18)과 집전체(16)를 전기적 접촉을 충분하게 유지한 상태에 의해 확실하게 밀착시킬 수 있게 된다.

또한, 이 열처리 공정에서는 다공체층(28)의 표면 부근에 존재하는 열가소성 수지의 연화가 일어나고, 다공체층(28)의 표면(세퍼레이터(40)에 접촉하는 측의 표면)이 세퍼레이터(40)의 표면의 요철부분의 형상에 맞추어서 형상 변형한다. 그 때문에, 다공체층(28)과 접전체(26)를 전기적 접촉을 충분히 유지한 상태에 의해 확실하게 밀착시킬 수 있게 된다.

그 때문에, 열처리에 의해 양극(10), 세퍼레이터(40), 음극(20)을 밀착시켜 일체화시킨 경우라도, 충분한 충방진 특성을 얻을 수 있는 전기화학 디바이스(1)를 용이하고 또한 확실하게 형성할 수 있다.

다음에, 케이스(50)의 제작 방법에 대하여 설명한다. 우선, 제 1 필름 및 제 2 필름을 먼저 기술한 복합 포장 필름으로 구성하는 경우에는 드라이 라비네이션법, 웨트 라비네이션법, 핫멜트 라비네이션법, 악스트루진 라비네이션법 등의 이외 알고 있는 제조법을 사용하여 제작한다.

예를 들면, 복합 포장 필름을 구성하는 합성 수지제의 층이 되는 필름, 알루미늄 등으로 이루어지는 금속호일을 준비한다. 금속호일은 예를 들면 금속재료를 압연 가공함으로써 준비할 수 있다.

다음에, 바람직하게는 앞서 기술한 복수의 층의 구성이 되도록, 합성 수지제의 층이 되는 필름 위에 접착제를 새새하여 금속호일을 접합하는 등으로 복합 포장 필름(다층 필름)을 제작한다. 그리고, 복합 포장 필름을 소정의 크기로 절단하여, 직사각형상의 필름을 1장 준비한다.

다음에, 먼저 도 2를 참조하여 설명한 바와 같이, 1장의 필름을 구부려, 전기화학 디바이스 소체(60)를 배치한다.

다음에, 제 1 필름(51) 및 제 2 필름(52)의 열용착시켜야 할 접촉부분 중, 제 1 필름(51)의 열용착해야 할 가장자리부(밀봉부(51B))와 제 2 필름(52)의 열용착해야 할 가장자리부(밀봉부(52B))의 사이에 제 1 리드 및 제 2 리드가 배치되는 부분에 대하여, 이하의 순서로 열용착 처리를 한다.

도 15에 기초하여 양극용 리드 도체(12)의 주위를 제 1 필름(51) 및 제 2 필름(52)에 열용착시키는 경우를 예로서 설명한다. 도 15는 열용착 공정에 의해 양극용 리드 도체(12)의 주위를 제 1 필름(51) 및 제 2 필름(52)에 열용착시키는 경우의 순서를 설명하기 위한 설명도이다.

우선, 도 15에 도시하는 바와 같이, 사용하는 양극용 리드(12)의 단면의 형상 및 크기에 적합한 형상 및 크기의 흄(93A; 오목부)이 형성된 가열부재인 제 1 열용착용의 금형(93)과, 가열부재인 평판형의 제 2 열용착용의 금형(94)을 사용하여, 이들의 사이에, 제 1 필름(51)의 밀봉부(51B)가 열용착하는 부분, 양극용 리드(12) 및, 제 2 필름(52)의 밀봉부(52B)가 열용착하는 부분으로 이루어지는 적층체를 배치한다. 또, 도 15의 경우, 흄(93A)의 형상 및 크기는 양극용 리드(12)에 열변형하면서 밀착되는 제 1 필름(51)의 두께 및 단면형상을 고려하여, 대략 사다리를 형상이 되도록 형성되어 있다.

여기서, 도 15에 도시하는 바와 같이, 양극용 리드(12)의 표면에는 케이스(50)가 충분한 밀봉성을 보다 확실하게 얻는 관점에서, 앞서 기술한 접착제를 도포해두는 것이 바람직하다. 이로써, 열용착 공정 후에 있어서, 양극용 리드(12)와, 제 1 필름(51) 및 제 2 필름(52)의 사이에는 이들의 밀착성에 기여하는 접착제로 이루어지는 접착제층(14)이 형성된다.

또한, 가열부재인 제 1 열용착용의 금형(93)에 만 흄(93A; 오목부)을 설치하지 않고서, 가열부재인 제 2 열용착용의 금형(94)에도, 제 1 필름(51)의 두께 및 흄(93A)의 형상 및 크기를 고려한 흄을 설치하여도 좋다.

다음에, 노 15에 노시하는 바와 같이, 제 1 필름(51) 및 제 2 필름(52)의 접촉부분을 가압한 상태에서, 제 1 열용착용의 금형(93) 및 제 2 열용착용의 금형(94)중의 적어도 한쪽 부재를 가열함으로써, 상기 접촉부분을 용융시켜, 제 1 필름(51) 및 제 2 필름(52)을 열용착시킨다.

이상 설명한 순서와 동일한 순서로, 음극용 리드(22)의 주위의 부분에 대해서도 열용착 처리를 상기 열용착 처리와 동시에 혹은 별도로 행함으로써, 충분한 밀봉성을 갖는 케이스(50)를 형성할 수 있다. 음극용 리드(22)의 주위의 부분에 대한 열용착 처리를 양극용 리드(12)의 주위의 부분에 대한 열용착 처리와 동시에 행하는 경우에는 예를 들면, 제 1 열용착용의 금형(93)의 흄을 증설함으로써 행할 수 있다.

다음에, 제 1 필름(51)의 밀봉부(51B; 가장자리부(51B))와 제 2 필름의 밀봉부(52B; 가장자리부(52B))중, 상술한 양극용 리드(12)의 주위의 부분 및 음극용 리드(22)의 주위의 부분 이외의 부분을, 예를 들면, 밀봉기를 사용하여 소정의 가열 조건으로 소망의 밀봉 폭만큼 히트 밀봉(열용착)한다.

이 때, 도 16에 도시하는 바와 같이, 전해질 용액(30)을 주입하기 위한 개구부(H51)를 확보하기 위해서, 일부의 히트 밀봉을 하지 않은 부분을 설치해 둔다. 이로써 개구부(H51)를 갖은 상태의 케이스(50)가 얻어진다.

그리고, 도 16에 도시하는 바와 같이, 개구부(H51)로부터 전해질 용액(30)을 주입한다. 계속해서, 꿈寐 밀봉기를 사용하여, 케이스(50)의 개구부(H51)를 밀봉한다. 또한, 도 17에 도시하는 바와 같이, 얻어지는 전기화학 디바이스(1)의 설치되어야 할 공간의 체적을 기준으로 하는 체적 에너지 밀도를 향상시키는 관점에서, 필요에 따라서 케이스(50) 밀봉부를 구부린다. 이렇게 하여 케이스(50) 및 전기화학 디바이스(1: 전기이중층 키페시터)의 체적이 완료된다.

이상, 본 발명의 적합한 실시형태에 관해서 상세하게 설명하였지만, 본 발명은 상기 실시형태에 한정되지 않는다. 예를 들면, 상기 실시형태의 설명에 있어서, 전기화학 디바이스(1)의 밀봉부를 구부림으로써, 보다 콤팩트한 구성으로 하여도 좋다.

또한, 상기 실시형태의 설명에 있어서는 양극(10) 및 음극(20)을 각각 1개씩 구비한 전기화학 디바이스(1)에 관해서 설명하였지만, 양극(10) 및 음극(20)을 각각 1 이상 구비하고, 양극(10)과 음극(20) 사이에 세퍼레이터(40)가 1개씩 배치되는 5층 이상의 적층체로 이루어지는 구성으로 하여도 좋다.

또한, 상기 실시형태의 설명에 있어서는, 도 13a에 도시한 양극용의 전극시트(ES10)를 뚫어 얻어지는 양극(10)과, 도시하지 않는 음극용의 전극시트를 뚫어 얻어지는 음극(20)과, 세퍼레이터(40)와의 적층체에 대하여 본 발명에 따른 열처리 공정의 열처리를 실시하는 경우에 대하여 설명하였지만, 본 발명의 제조방법은 이것에 한정되지 않는다. 예를 들면, 양극용의 전극시트(ES10)와, 음극용의 전극시트 사이에, 이들과 같은 크기의 세퍼레이터(40)를 배치시킨 적층체를 형성하고, 이것에 대하여 본 발명에 따른 열처리 공정의 열처리를 실시하여도 좋다. 이 경우, 열처리 공정 후에 얻어지는 큰 전기 디바이스 소체를 뚫으면 소망의 크기의 전기 디바이스 소체를 얻을 수 있다.

또한, 예를 들면, 상기 실시형태의 설명에 있어서는, 주로, 본 발명의 제조방법에 의해 전기이중층 커페시터를 제조하는 경우에 대하여 설명하였지만, 본 발명의 제조방법에 의해 제조되는 전기화학 디바이스는 전기이중층 키페시터에 한정되지 않으며 예를 들면, 본 발명의 제조방법은 의사 용량 커페시터, 의사(pseudo) 커페시터, 레독스 커페시터 등의 전기화학 커페시터의 제조에도 적용 가능하다.

또한, 본 발명의 제조방법은 서로 대향하는 제 1 전극 및 제 2 전극과, 제 1 전극과 제 2 전극 사이에 인접하여 배치되는 세퍼레이터와, 전해질 용액을 갖고, 이들이 가요성을 갖는 필름으로 형성된 케이스 내에 수용되는 구성의 리튬이온 2차전지 등의 2차전지의 제조나 1차전지의 제조에도 적용 가능하다.

예를 들면, 제 1 전극을 양극으로 하고, 제 2 전극을 음극으로 하는 경우, 양극의 다공체층 중에는 전자전도성을 갖는다. 공체 입자로시 양극용의 전극활성물질로 이루어지는 입자(또는 양극용의 전극활성물질을 포함하는 입자)를 사용하면 좋다. 또한, 이 경우, 음극의 다공체층 중에는 전자전도성을 갖는 다공체 입자로서 음극용의 전극활성물질로 이루어지는 입자(또는 음극용의 전극활성물질을 포함하는 입자)를 사용하면 좋다.

또한, 본 발명에 있어서는 케이스는 상술한 복합 포장 필름으로 형성되는 것 이외에, 금속 세의 부재로부터 형성된 통형의 외장체(금속제의 케이스)라도 좋다. 이로써, 케이스에 대하여 복합 포장 필름보다도 높은 기계적 강도가 요구되는 경우 등에 적용할 수 있다.

### [실시예]

이하, 실시예 및 비교예를 들어 본 발명의 전기화학 디바이스의 내용을 더욱 상세하게 설명하지만, 본 발명은 이들의 실시예에 조금도 한정되지 않는다.

#### (실시예 1)

이하의 순서에 따라, 도 1에 도시한 전기화학 디바이스와 동일한 구성을 갖는 전기화학 디바이스(전기이중층 커패시터)를 제작하였다.

##### 1) 전극의 제작

양극(anode; 분극성 전극) 및 음극(cathode; 분극성 전극)은 이하의 순서에 따라 제작하였다. 우선, 부활치리를 실시한 활성탄소 재료(활성탄)와, 결합제가 되는 열가소성 주지(불소고무( $T_B=200^{\circ}\text{C}$ ))와, 도진조제(카본블랙)를, 이들의 질량비가 탄소 재료:도진조제:결합제=8:1:1이 되도록 배합하고, 이것을 용매인 MIBK(메틸이소부틸케톤)중에 투입하여 혼합함으로써, 전극 형성용의 도포액(이하, 「도포액(L1)」이라고 한다)을 조제하였다.

다음에, 이 도포액(L1)을, 알루미늄호일로 이루어지는 접전체(두께: 50 $\mu\text{m}$ )의 한쪽 면상에 균일하게 도포하였다. 그 후, 건조처리에 의해, 도막으로부터 MIBK를 제거하고, 또한 압연 를을 사용하여 접전체와 건조 후의 도막으로 이루어지는 적층체를 프레스하여, 알루미늄호일로 이루어지는 접전체(두께: 50 $\mu\text{m}$ )의 한쪽의 면상에 전자전도성의 다공체층(두께: 37 $\mu\text{m}$ )이 형성된 전극(이하, 「전극(E1)」이라고 한다)을 제작하였다. 다음에, 이 전극(E1)을 식사각형(크기: 8.0mm×8.0mm) 형을 띠도록 절단하고, 또한, 150°C 내지 175°C의 온도로 전공건조를 12시간 이상 행해함으로써, 전자전도성의 다공체층의 표면에 흡착한 수분을 제거하여, 천공 가공을 하여 크기를 조절한 실시에 1의 전기화학 디바이스에 탑재하는 양극 및 음극을 제작하였다.

또, 노포액(L1)을 알루미늄 호일에 노포할 때에, 알루미늄 호일의 가장자리부에는 노포액(L1)이 노포되지 않도록 조절함으로써, 도 13c에 도시한 리드(폭: 2mm, 길이: 8mm, 두께: 50 $\mu\text{m}$ )가 미리 일체적으로 형성된 양극 및 음극을 얻었다.

##### (2) 전기화학 디바이스의 제작

우선, 양극 및 음극을 서로 대향시키고, 그 사이에 재생 셀룰로스 부직포로 이루어지는 세퍼레이터(8.4mm×8.4mm, 두께: 0.05mm)를 배치하고, 양극, 세퍼레이터 및 음극이 이러한 순서로 차례대로 적층된 적층체(도 14a에 도시한 적층체(61)와 동일한 구성을 갖는 것)를 형성하였다.

다음에, 도 14에 도시한 열처리 및 가압처리를 하는 수난(핫 프레스)을 사용하여, 상기 적층체의 열처리 및 가압처리를 동시에 행하였다(열처리 공정). 또, 열처리 온도(T1)를 230°C, 압력을 90kg/cm<sup>2</sup>, 처리시간을 40초로 하였다.

또, 재생 셀룰로스 부직포로 이루어지는 세퍼레이터는 열처리 공정에서 연화하지 않는 것을 확인하였다. 또한, 열처리 공정 후의 재생 셀룰로스 부직포로 이루어지는 세퍼레이터의 내부미세구멍이 페색되어 있지 않는 것을 세퍼레이터의 단면의 SEM 사진을 활용함으로써 확인하였다. 이로써, 재생 셀룰로스 부직포로 이루어지는 세퍼레이터의 연화점 T<sub>S</sub>은 적어도 양극 및 음극의 각 다공체층에 함유한 결합제가 되는 열가소성 주지(불소고무)의 연화점 T<sub>B</sub>보다도 높은 것(T<sub>S</sub>>T<sub>B</sub>)이 되는 조건, 및, 수학식 1로 세시되는 조건을 만족하는 것이 확인되었다.

다음에, 가요성을 갖는 복합 포장 필름으로서, 전해질 용액에 접촉하는 합성 수지재의 최내부의 층(폴리프로필렌으로 이루어지는 층, 두께: 40 $\mu\text{m}$ ), 알루미늄 호일로 이루어지는 금속층(두께: 40 $\mu\text{m}$ ), 폴리아미드로 이루어지는 층(두께: 20 $\mu\text{m}$ )이 이러한 순서로 차례대로 적층된 적층체(두께: 20 $\mu\text{m}$ , 크기: 14.0mm×28.0mm)를 준비하였다.

다음에, 2장의 복합 포장 필름을 구부리, 전기화학 디바이스 소제(60)를 배치하였다.

그 때에, 양극용 리드 및 음극용 리드의 주위의 각각, 앞서 기술한 접착제층(14) 및 접착제층(24)으로서, 산변성 폴리프로필렌 필름(두께: 50 $\mu\text{m}$ )을 피복하였다.

다음에, 먼저 도 15에 기초하여 설명한 순서와 동일한 순서에 따라, 양극용 리드 및 음극용 리드의 주위에 열융착 처리를 실시하였다. 또, 제 1 열융착용의 금형(93)의 흄(93A)의 단면형상은 도 15에 도시한 것과 같은 사다리꼴(위쪽 바닥: 2.3mm, 아래쪽 바닥: 2.5mm, 높이(두께): 0.50mm)로 하였다.

다음에, 2장의 복합 포장 필름의 밀봉부 중, 상술한 양극용 리드(12)의 주위의 부분 및 음극용 리드(22)의 주위의 부분 이 외의 부분을, 밀봉기를 사용하여 밀봉폭을 2mm로시 히트 밀봉(열용착)하였다. 이 때, 도 16에 도시한 바와 같이, 전해질 용액(30)을 주입하기 위한 개구부를 확보하기 위해서, 일부의 히트 밀봉을 하지 않는 부분을 설치하였다.

다음에, 상기 개구부로부터, 케이스 내로 전해질 용액(1.2mol/L)의 트리에틸 메틸암모늄 4불화붕소염의 프로필렌카보네 이트 용액)을 주입하였다. 계속해서, 감압 밀봉기를 사용하여, 케이스(50)의 개구부(H51)를 밀봉하였다. 이렇게 하여 전기화학 디바이스를 제작하였다.

#### (실시예 2)

열처리 공정에서의 열처리 온도(T1)를 200°C로 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

#### (실시예 3)

열처리 공정에서의 가압 처리의 압력을 60kg/cm<sup>2</sup> 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

#### (실시예 4)

열처리 공정에서의 열처리 온도(T1)를 200°C로 하고, 가압 처리의 압력을 60/cm<sup>2</sup>로 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

#### (실시예 5)

아라미드 섬유의 부직포로 이루어지는 세퍼레이터(8.4mm×8.4mm, 두께:0.03mm, T<sub>S</sub>> 250°C)를 사용한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

#### (실시예 6)

양극 및 음극의 각 다공체층에 함유한 결합제가 되는 열가소성 수지를 PVdF(폴리불화비닐리텐, T<sub>B</sub>=140°C)로 하여, 열처리 공정에서의 열처리 온도(T1)를 170°C로 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

#### (비교예 1)

열처리 공정에서의 열처리 온도(T1)를 150°C로 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

#### (비교예 2)

열처리 공정에서의 가압처리의 압력을 30kg/cm<sup>2</sup>로 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

#### (비교예 3)

폴리프로필렌의 미세다공막으로 이루어지는 세퍼레이터(8.4mm×8.4mm, 두께: 0.05mm, T<sub>S</sub>=150°C)를 사용하여, 열처리 공정에서의 열처리 온도(T1)를 120°C로 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다. 또, 열처리 공정에서 폴리프로필렌의 미세다공막으로 이루어지는 세퍼레이터는 연화되는 것이 확인되었다.

#### (비교예 4)

폴리프로필렌의 부직포로 이루어지는 세퍼레이터(8.4mm×8.4mm, 두께: 0.05mm, T<sub>S</sub>=150°C)를 사용하여, 열처리 공정에서의 열처리 온도(T1)를 120°C로 한 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다. 또, 열처리 공정에서 폴리프로필렌의 미세다공막으로 이루어지는 세퍼레이터는 연화되는 것이 확인되었다.

#### (비교예 5)

실시예 1에 있어서 행한 열처리 공정을 하지 않은 것 이외에는 실시예 1의 전기화학 디바이스와 동일한 순서 및 조건으로 전기화학 디바이스를 제작하였다.

## [전기화학 디바이스의 특성 평가시험]

실시예 1 내지 실시예 4 및 비교예 1 내지 비교예 3의 각 전기화학 디바이스(전기이중층 커패시터)에 대해서, 등가직렬저항과 커패시터 용량을 측정하였다.

우선, 충방전 시험장치를 사용하고, 0.5°C의 정전류 충전을 하여, 전기이중층 커패시터에 전하가 축적해 갈에 따라서 전압이 상승하는 것을 보니터하고, 전위가 2.5V에 도달한 후, 정전압 충전(완화충전)으로 이행하고, 전류가 충전전류의 1/10가 되었을 때에 충전을 종료시켰다. 또, 이 때의 토탈의 충전시간(즉, 충전시간+완화충전시간)은 셀의 정전용량에 의존한다. 그리고, 방전도 0.5°C의 정전류 방전을 하고, 종료 전압을 0V로 하였다. 이 시험후, 1C의 전류로 충전을 하고, 전위가 2.5V에 도달한 후, 정전압 충전으로 이행하여, 전류가 충전전류의 1/10가 되었을 때에 충전을 종료시켰다. 그리고, 방전도 1C의 정전류 방전을 하여, 종지전압을 0V로 하였다. 재충전을 개시시켜, 이것을 10회 반복하였다.

전기화학 디바이스의 용량(전기화학 디바이스 셀의 정전용량)은 다음과 같이 구하였다. 즉, 방전곡선(방전전압-방전시간)부터 방전에너지(방전전압×전류의 시간직분으로서 함께 방전에너지[W·s]를 구하고, 커패시터 용량[F]= $2 \times$ 함께 방전에너지[W·s]/(방전 개시전압[V]<sup>2</sup>)의 관계식을 사용하여 평가 셀의 용량(커패시터 용량)[F]을 구하였다. 또, 이 용량(커패시터 용량)[F]은 동일의 평가 셀에 관해서 5회의 측정을 한 결과 얻어지는 5회의 측정치의 상가평균치이다.

다음에, 측정 환경온도 25°C, 상대습도 60%에 있어서, 각 전기화학 디바이스의 ESR을 측정하였다(이하, 「평가시험 1」이라고 한다). ESR의 측정은 이하의 순서로 행하였다. 즉, 1KHz의 주파수로 10mA를 흘렸을 때의 전압의 변화량으로부터, ESR을 산출하였다.

다음에, 실시예 1 내지 실시예 6 및 비교예 1 내지 비교예 5의 각 전기화학 디바이스(전기이중층 커패시터)를 25°C에서, 120시간 방치하여, 상술한 방법에 의해, 120시간 방치 후의 커패시터 용량[F]과 ESR을 측정하였다.

실시예 1 내지 실시예 6 및 비교예 1 내지 비교예 5의 각 전기화학 디바이스(전기이중층 커패시터)의 커패시터 용량 및 ESR의 결과를 표 1에 나타낸다.

표 1.

	120시간 방치전		120시간 방치후	
	ESR[Ω]	용량[F]	ESR[Ω]	용량[F]
실시예 1	5.2	0.054	5.3	0.054
실시예 2	5.3	0.054	5.3	0.054
실시예 3	5.5	0.054	5.4	0.054
실시예 4	6.3	0.054	6.9	0.054
실시예 5	5.6	0.054	5.6	0.054
실시예 6	5.3	0.054	5.3	0.054
비교예 1	11.0	0.054	16.8	0.054
비교예 2	11.3	0.054	17.5	0.054
비교예 3	210.0	0.048	211.0	0.048
비교예 4	27.5	0.050	27.2	0.050
비교예 5	10.7	0.054	16.3	0.054

표 1에 제시한 결과로부터 분명한 것처럼, 실시예 1 내지 실시예 4의 각 전기화학 디바이스는 각 비교예에 비하여 뛰어난 커패시터 용량을 얻을 수 있고, ESR도 충분히 저감되어 있는 것이 확인되었다.

## [SEM 사진촬영에 의한 단면 관찰]

실시예 1의 전기화학 커패시터에 사용된 전기화학 디바이스 소체의 부분단면의 SEM 사진을 촬영하였다. 그 결과를 도18에 도시한다. 도 18에 도시한 SEM 사진의 분극성 전극의 다공체층(18A)과 세퍼레이터(40A)의 경계부분의 상태를 관찰하면 분명한 바와 같이, 열처리 공정에 시의 열처리에 의해 연화하지 않은 세퍼레이터(40A)에, 열처리 공정에 시의 열처리에 의해 연화하는 분극성 전극의 다공체층(18A)이 충분히 밀착하고 있는 것이 확인되었다. 즉, 분극성 전극의 다공체층(18A)이, 열처리 공정에 시의 열처리에 의해 연화하여, 세퍼레이터(40A)의 표면에 있는 요철부분의 형상에 맞추어서 형상변형하여 상기 요철부분에 밀착하고 있는 것이 확인되었다.

## 발명의 효과

본 발명에 따르면, 열처리에 의해 선극과 세퍼레이터를 밀착시켜 일체화시킨 경우라도, 충분한 충방전 특성을 얻을 수 있는 전기화학 디바이스를 용이하고 또한 확실하게 형성할 수 있는 전기화학 디바이스의 제조방법을 제공할 수 있다. 더구나, 본 발명에 따르면, 내부저항이 충분히 저감되어 있고, 충분한 충방전 특성을 얻을 수 있는 전기화학 디바이스를 용이하고 또한 확실하게 제공할 수 있다.

본 발명에 의해 얻어지는 전기화학 커패시터는 휴대기기(소형 전자기기) 등의 전원의 백업용 전원, 하이브리드차용의 보조전원으로서 이용할 수 있다.

(57) 청구항 별위

**청구항 1.**

서로 대향하는 제 1 전극 및 제 2 전극과, 상기 제 1 전극과 상기 제 2 전극 사이에 인접하여 배치되는 다공질의 세퍼레이터를 갖는 적층체를 갖고, 또한, 상기 제 1 전극 및 상기 제 2 전극으로서, 집전체와, 상기 집전체와 상기 세퍼레이터의 사이에 배치되는 전자전도성의 다공체층을 갖는 전극을 구비하는 전기화학 디바이스의 제조방법에 있어서,

상기 디공체층의 구성 재료로서, 전자전도성을 갖는 다공체 입자와, 상기 다공체 입자끼리를 결착 가능하고 상기 세퍼레이터의 연화점  $T_S$ 보다도 낮은 연화점  $T_B$ 을 갖는 열가소성 수지를 적어도 사용하고,

수학식 1,  $T_B \leq T_1 < T_S$ 로 제시되는 조건을 만족하는 열처리 온도( $T_1$ )로 상기 적층체를 열처리함으로써, 상기 적층체에서 상기 제 1 전극의 상기 집전체, 상기 제 1 전극의 상기 디공체층, 세퍼레이터, 상기 제 2 전극의 상기 디공체층, 및, 상기 제 2 전극의 상기 집전체를 일체화시킨 상태로 하는 열처리 공정을 포함하는 것을 특징으로 하는 전기화학 디바이스의 제조방법.

**청구항 2.**

제 1 항에 있어서, 상기 제 1 전극 및 상기 제 2 전극으로서 판형상의 형상을 띠는 전극을 사용하여,

상기 세퍼레이터로서 판형상의 형상을 띠는 부재를 사용하는 것을 특징으로 하는 전기화학 디바이스의 제조방법.

**청구항 3.**

제 1 항 또는 제 2 항에 있어서, 상기 열처리 공정에서, 서로 대향하는 한 쌍의 가열부재의 사이에 상기 적층체를 배치하고, 상기 한 쌍의 가열부재 중의 적어도 한쪽을 가열하는 것을 특징으로 하는 전기화학 디바이스의 제조방법.

**청구항 4.**

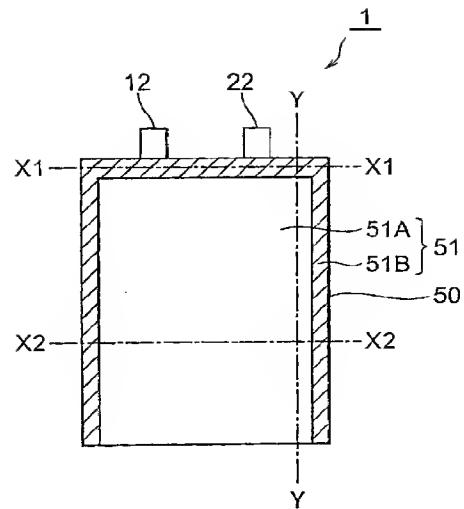
제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 열처리 공정에서, 상기 한 쌍의 가열부재에 의해 적층체를 가압한 상태에서 상기 한 쌍의 가열부재 중의 적어도 한편을 가열하는 것을 특징으로 하는 전기화학 디바이스의 제조방법.

**청구항 5.**

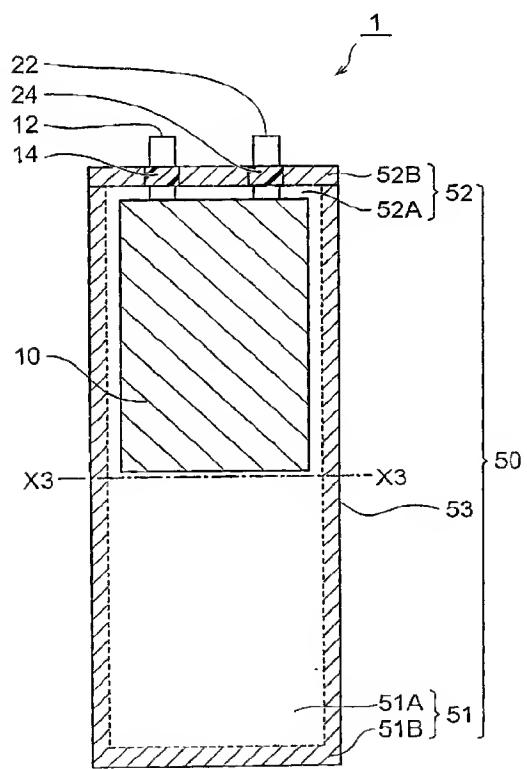
제 1 항 내지 제 4 항 중 어느 한 항에 기재된 제조방법에 의해 얻어지는 전기화학 디바이스.

도면

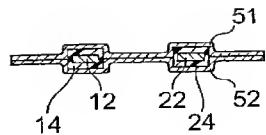
도면 1



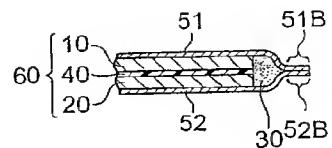
도면 2



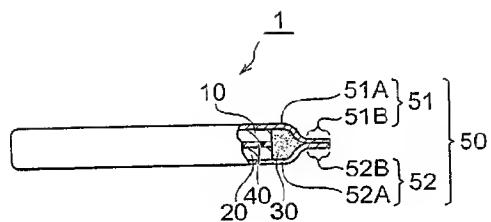
도면3

1

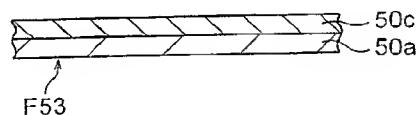
도면4



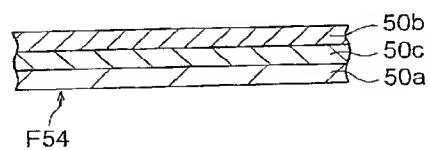
도면5



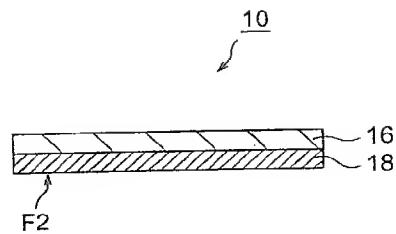
도면6

53

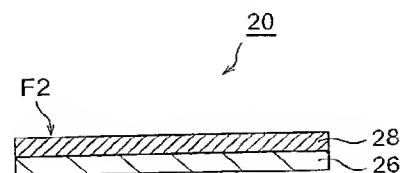
도면7

54

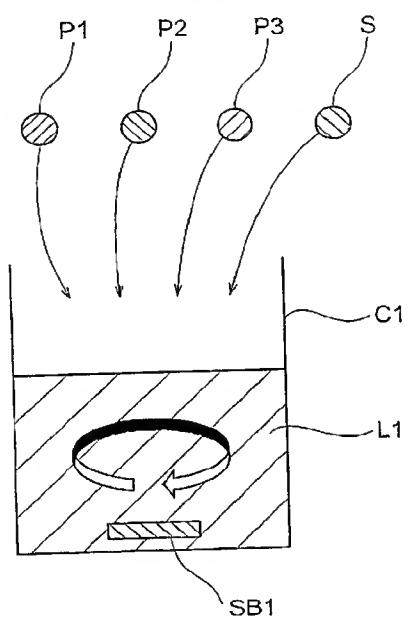
도면8



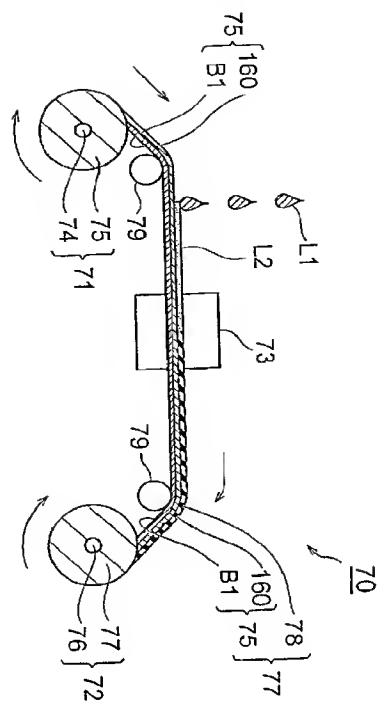
도면9



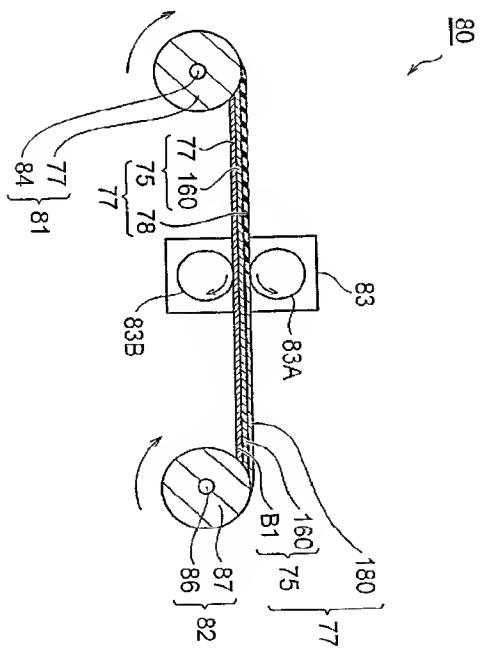
도면10



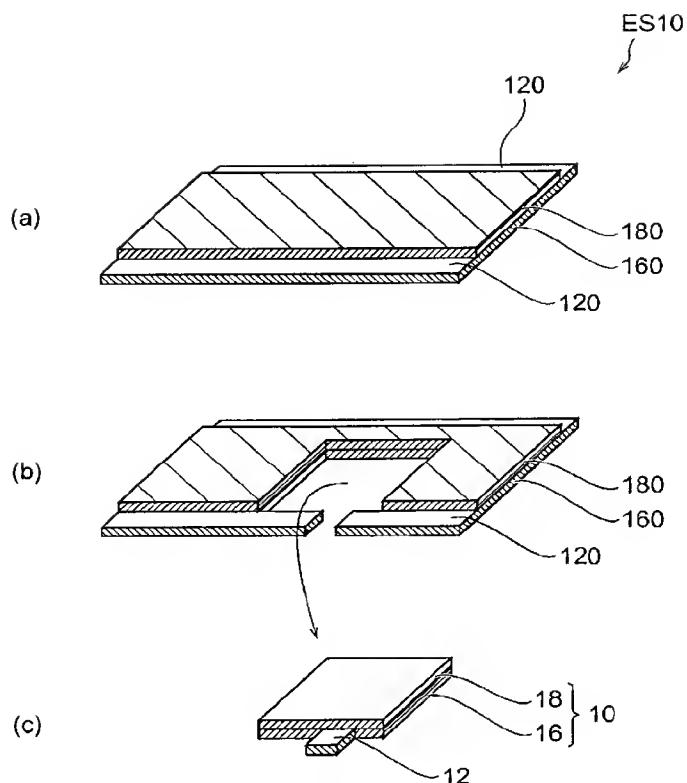
도면11



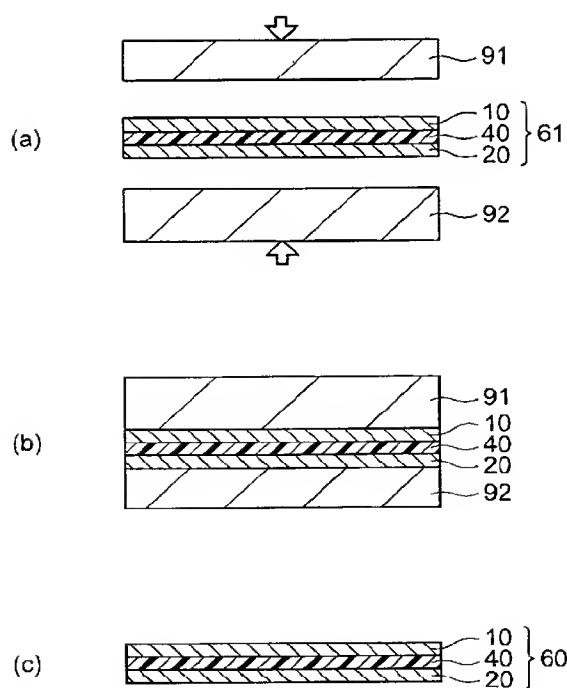
도면12



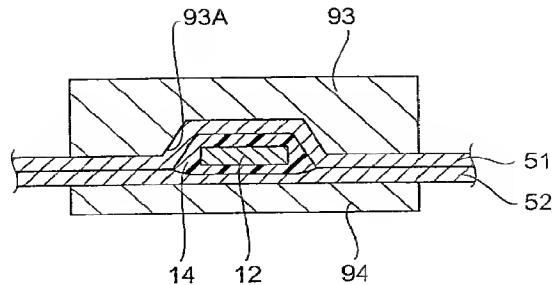
도면13



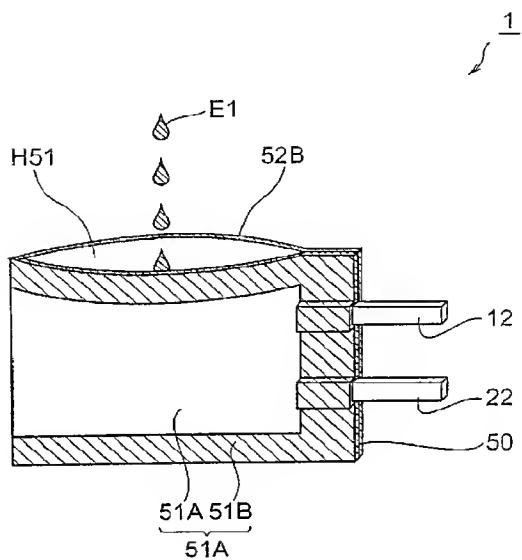
도면14



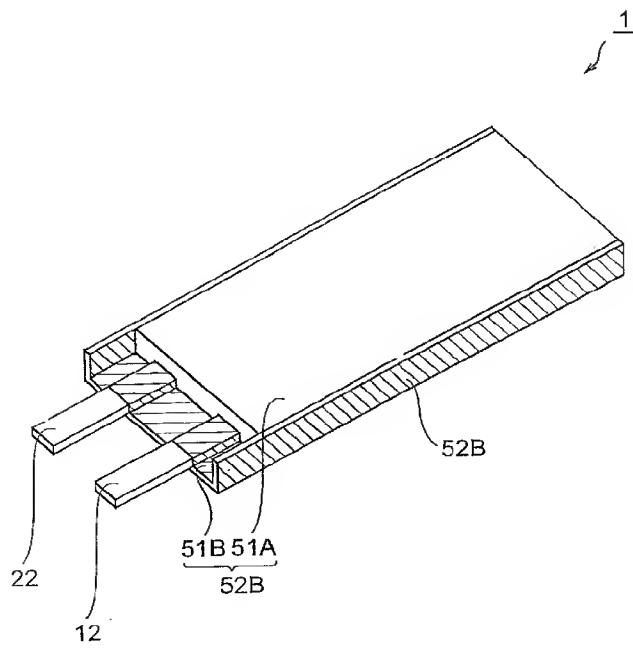
도면15



도면16



도면17



도면18

